

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/004584

International filing date: 09 March 2005 (09.03.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-068450
Filing date: 11 March 2004 (11.03.2004)

Date of receipt at the International Bureau: 28 April 2005 (28.04.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日本国特許庁
JAPAN PATENT OFFICE

09.3.2005

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2004年 3月11日
Date of Application:

出願番号 特願2004-068450
Application Number:

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号
The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

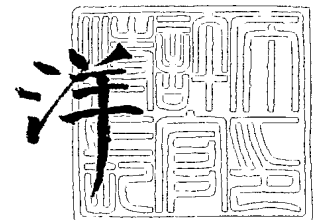
JP 2004-068450

出願人 株式会社半導体エネルギー研究所
Applicant(s):

2005年 4月14日

特許庁長官
Commissioner,
Japan Patent Office

小川



【書類名】 特許願
【整理番号】 P007761
【提出日】 平成16年 3月11日
【あて先】 特許庁長官 殿
【発明者】
 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究
 所内
 【氏名】 小山 潤
【特許出願人】
 【識別番号】 000153878
 【氏名又は名称】 株式会社半導体エネルギー研究所
 【代表者】 山崎 舜平
【手数料の表示】
 【予納台帳番号】 002543
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

絶縁基板上に変調回路と、復調回路と、論理回路と、メモリ回路と、アンテナ回路とを有し、
前記変調回路及び前記復調回路は前記アンテナ回路に電氣的に接続し、
前記復調回路は前記論理回路に接続し、
前記メモリ回路は前記論理回路の出力信号を記憶する手段を有し、
前記メモリ回路は強誘電体容量素子を有する F e R A M 回路であり、
前記メモリ回路は 1 回のみの書き込みが可能である制御回路を有することを特徴とする半導体装置。

【請求項 2】

絶縁基板上に変調回路と、復調回路と、論理回路と、メモリ回路と、アンテナ回路とを有し、
前記変調回路および前記復調回路は前記アンテナ回路に電氣的に接続し、
前記復調回路は前記論理回路に接続し、
前記メモリ回路は前記論理回路の出力信号を記憶する手段を有し、
前記メモリ回路は強誘電体容量素子を有する F e R A M 回路であり、
前記論理回路は前記メモリ回路に記憶するデータによって、前記メモリ回路の書き込みの可否を制御する手段を有することを特徴とする半導体装置。

【請求項 3】

請求項 1 又は請求項 2 において、前記メモリ回路を構成するメモリセルは 2 つのトランジスタと 2 つの強誘電体容量素子を有することを特徴とする半導体装置。

【請求項 4】

請求項 1 又は請求項 2 において、前記メモリ回路を構成するメモリセルは 1 つのトランジスタと 1 つの強誘電体容量素子を有することを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 に記載のいずれか一項において、前記変調回路と、前記復調回路と、前記論理回路と、前記メモリ回路とのうち、少なくとも一つは薄膜トランジスタで構成することを特徴とした半導体装置。

【請求項 6】

請求項 1 乃至請求項 5 に記載のいずれか一項において、前記アンテナ回路と、前記変調回路と、前記復調回路と、前記論理回路と、前記メモリ回路とは、同一の絶縁基板上に設けられることを特徴とした半導体装置。

【請求項 7】

請求項 1 乃至請求項 6 に記載のいずれか一項において、前記変調回路と、前記復調回路と、前記論理回路と、前記メモリ回路とは、同一の絶縁基板上に一体形成され、前記アンテナ回路は別の絶縁基板上に設けられることを特徴とした半導体装置。

【請求項 8】

請求項 6 又は請求項 7 において、前記絶縁基板はガラスであることを特徴とする半導体装置。

【請求項 9】

請求項 6 又は請求項 7 において、前記絶縁基板はプラスチックであることを特徴とする半導体装置。

【請求項 1 0】

請求項 6 又は請求項 7 において、前記絶縁基板はフィルム状の絶縁体であることを特徴とする半導体装置。

【請求項 1 1】

請求項 1 乃至請求項 1 0 に記載のいずれか一項において、前記アンテナ回路は、前記変調回路と、前記復調回路と、前記論理回路と、前記メモリ回路とのうち少なくとも一つの上方に設けられることを特徴とした半導体装置。

【請求項 1 2】

請求項 1 乃至請求項 1 1 のいずれか一項において、前記アンテナ回路に入力する信号は無線信号であることを特徴とした半導体装置。

【請求項 1 3】

請求項 1 乃至請求項 1 2 のいずれか一項に記載された半導体装置を有する I C カード、I C タグ、R F I D、トランスポンダ、紙幣、有価証券、パスポート、電子機器、バッグ、衣類。

【書類名】明細書

【発明の名称】半導体装置、ICカード、ICタグ、RFID、トランスポンダ、紙幣、有価証券、パスポート、電子機器、バッグ及び衣類

【技術分野】**【0001】**

本発明は、無線通信など非接触手段により、メモリ回路に必要な情報を記憶させ、或いは情報を読み取ることのできるICチップ（以下「IDチップ」ともいう。）として用いる半導体装置に関する。特に、ガラス、プラスチックなどの絶縁基板上に形成されたIDチップとして用いる半導体装置に関する。

【背景技術】**【0002】**

コンピュータ技術の発展や、画像認識技術の向上によって、バーコードなどの媒体を用いた情報認識が広く普及し、商品データの認識などに用いられている。今後はさらに多量の情報認識が実施されると予想される。その一方、バーコードによる情報読み取りなどでは、バーコードリーダーがバーコードとの接触を必要とすることや、バーコードに記録される情報量があまり多くできないという欠点があり、非接触の情報認識および媒体の記憶容量増大が望まれている。

【0003】

このような要望から、近年ICを用いたIDチップが開発されている。IDチップとはICチップ内のメモリ回路に必要な情報を記憶し、非接触手段、一般的には無線手段を用いて内部の情報を読み取るものである。このようなIDチップの実用化によって、商品流通などの簡素化、低コスト化、高いセキュリティの確保が可能になるものと期待されている。

【0004】

IDチップを用いた個体認証システムの概要について図4を用いて説明する。図4はバッグの個体情報を非接触で得ることを目的とした固体認証システムの概要を示す図である。特定の固体情報を記憶したIDチップ401はバッグ404に貼り付けられている、もしくは埋め込まれている。このIDチップに対して質問器（リードライトともいう）403のアンテナユニット402より電磁波が発信される。その電磁波を受けるとIDチップ401はそのIDチップが持っている個体情報をアンテナユニット402に対して送り返す。アンテナユニット402は送り返された個体情報を質問器に送り、質問器は個体情報の判別を行う。このようにして、バッグ404の情報を質問器は得ることが可能になる。また、このシステムを用いることによって物流管理、集計、偽造品の除去などが可能になる。

【0005】

このようなIDチップの技術としては例えば図2に示すようなものがある。IDチップに用いる半導体装置200はアンテナ回路201、整流回路202、安定電源回路203、変調回路204、アンプ205、論理回路206、復調回路207、アンプ208、論理回路209、メモリコントロール回路210、メモリ回路211によって構成される。また、アンテナ回路201はアンテナ301、同調容量302によって構成される（図3（A））。また、整流回路202はダイオード303、304、平滑容量305によって構成される（図3（B））。

【0006】

このようなIDチップの動作を以下に説明する。アンテナ回路201で受信した交流信号はダイオード303、304によって半波整流され、平滑容量305によって平滑される。この平滑された電圧は多数のリップルを含んでいるため、安定電源回路203で安定化され、安定化された後の電圧を変調回路204、アンプ205、論理回路206、復調回路207、アンプ208、論理回路209、メモリコントロール回路210、メモリ回路211に供給する。一方、アンテナ回路201で受信された信号はアンプ208を介して、クロック信号として、論理回路209に入力される。また、アンテナから入力された

信号は復調回路207で復調され、データとして論理回路209に入力される。

【0007】

論理回路209において、入力されたデータはデコードされる。質問器がデータを変形ミラー符号、NRZ-L符号などでエンコードして送信するため、それを論理回路209はデコードする。デコードされたデータは、メモリコントロール回路210に送られ、それに従いメモリ回路211に記憶された記憶データが読み出される。メモリ回路211は電源が切れても保持できる不揮発性メモリ回路である必要があり、マスクROMなどが使用される。記憶される内容は、例えば16バイトのデータ(図12(A)参照)であり、IDチップの系列を示すファミリーコード4バイト、アプリケーションコード4バイト、使用者が設定するユーザーコード4バイトが2種類となっている。

【0008】

送受信される信号は、125kHz、13.56MHz、915MHz、2.45GHzなどがあり、それぞれISO規格などが設定される。また、送受信の際の変調・復調方式も規格化されている(例えば、特許文献1参照。)

【特許文献1】特開2001-250393号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

以上に述べた、従来のIDチップ用半導体装置は、以下のような課題があった。メモリ回路にマスクROMを用いた場合、チップ製造時以外では書き込みを行うことができない。従って、チップ製造時以外にデータの書き込みを行うことが可能なIDチップが求められている。

またメモリ回路にEEPROMを用いた場合、ユーザーが自由に内容を書き換えられる反面、本来のユーザー以外の方が、認証用として書き換えられるべきでない情報を書き換えることが可能になり、偽造を行うことも可能である。従って、そのような偽造を防止するため1回のみの書き込みが可能なIDチップが求められている。

【0010】

そこで本発明は、IDチップに用いる半導体装置において、一回のみ書き換え可能なIDチップとして用いる半導体装置を提供することを課題とする。また、チップ製造時以外にデータの書き込みを行うことが可能なIDチップとして用いる半導体装置を提供することを課題とする。

【課題を解決するための手段】

【0011】

本発明は、メモリ回路を、強誘電体を利用した不揮発性メモリで構成すると共に、そのメモリ回路に1回のみの書き込みを可能とする制御回路を設けたことを要旨とする。強誘電体を利用した不揮発性メモリを用いることで、いわゆるフラッシュメモリと比較して、高速な読み書きを可能とし、かつ信頼性を向上させることができる。

【0012】

本発明は、絶縁基板上に変調回路と、復調回路と、論理回路と、メモリ回路とを有し、変調回路および復調回路にはアンテナ回路が電氣的に接続され、復調回路には前記論理回路が接続され、メモリ回路は論理回路の出力信号を記憶し、メモリ回路は強誘電体容量素子を有するFeRAM回路であり、メモリ回路に1回のみの書き込みが可能である制御回路を有することを特徴とする。

【0013】

また、本発明は、絶縁基板上に変調回路と、復調回路と、論理回路と、メモリ回路とを有し、変調回路および復調回路にはアンテナ回路が電氣的に接続され、復調回路には論理回路が接続され、メモリ回路は論理回路の出力信号を記憶し、メモリ回路は強誘電体容量素子を有するFeRAM回路であり、論理回路はメモリ回路に記憶されたデータによってメモリ回路の書き込みの可否を制御することを特徴とする。

【0014】

また、その半導体装置において、メモリ回路を構成するメモリセルは2つのトランジスタと2つの強誘電体容量素子を有することを特徴とする。

【0015】

また、その半導体装置において、メモリ回路を構成するメモリセルは1つのトランジスタと1つの強誘電体容量素子を有することを特徴とする。

【0016】

また、その半導体装置において、変調回路と、前記復調回路と、前記論理回路と、前記メモリ回路とのうち、少なくとも一つは薄膜トランジスタ（以下「TFT（Thin Film Transistor）」ともいう。）で構成されていることを特徴とする。

【0017】

また、その半導体装置において、アンテナ回路および変調回路と、復調回路と、論理回路と、メモリ回路とがそれぞれ同一の絶縁基板上に一体形成されている、もしくは、変調回路と、復調回路と、論理回路と、メモリ回路とがそれぞれ同一の絶縁基板上に一体形成され、アンテナ回路は別の絶縁基板上に形成されていることを特徴とする。

【0018】

また、その半導体装置において、アンテナ回路は前変調回路と、復調回路と、論理回路と、メモリ回路とのうち、少なくとも一つの上方で形成されていることを特徴とする。

【0019】

本発明において、IDチップとは個体認識に用いる半導体チップのことであり、ICタグ、無線タグ、RFID、ICカード、トランスポンダなどに使用されるものとする。

【発明の効果】

【0020】

以上に述べたように、本発明を用いることによって、IDチップの中のメモリ回路に情報を1回のみ書き込むことが可能になる。このようにして、IDチップのデータ偽造を防止することができ、セキュリティを確保したIDチップとして用いる半導体装置を構成することができる。また、チップ製造時以外にデータの書き込みを行うことが可能なIDチップとして用いる半導体装置を提供することができる。

【発明を実施するための最良の形態】

【0021】

以下、本発明の実施の態様について、図面を参照して説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお、以下に示す図面において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

【0022】

本発明の半導体装置について説明する。以下の説明において、強誘電体を用いたRAMをFeRAM（Ferroelectric RAM）と称する。

図1において、IDチップに用いる半導体装置100はアンテナ回路101、整流回路102、安定電源回路103、変調回路104、アンプ105、論理回路106、復調回路107、アンプ108、論理回路109、FeRAMコントロール回路110、FeRAM回路111によって構成されている。また、アンテナ回路101は従来例、図3（A）に示したものと同様である。整流回路102は従来例、図3（B）に示したものと同様である。本実施形態において、アンテナ回路は半導体装置100上に構成されているが、これに限定されずアンテナ回路を半導体装置の外部に接続しても良い。

【0023】

このようなIDチップの動作を以下に説明する。

アンテナ回路101で受信した交流信号は整流回路102によって整流され、平滑される。この平滑された電圧は多数のリップルを含んでいるため、安定電源回路103で安定化され、安定化された後の電圧をアンプ105、復調回路107、アンプ108、論理回

路 109 に供給する。

【0024】

アンテナ回路 101 から入力された信号は論理回路 109 で論理演算された後、FeRAM 回路 111 に入力される。また、論理回路 109 は FeRAM コントロール回路 110 に対して、書き込みの有無、アドレスなどを指定する。FeRAM 回路 111 は FeRAM コントロール回路 110 の指示によって、データ書き込みを行う。

【0025】

FeRAM 回路 111 に記憶されたデータを質問器が呼び出す場合は以下のように動作する。アンテナ回路 101 で受信した交流信号は整流回路 102 によって整流され、平滑される。この平滑された電圧は多数のリプルを含んでいるため、安定電源回路 103 で安定化され、安定化された後の電圧を変調回路 104、アンプ 105、論理回路 106、復調回路 107、アンプ 108、論理回路 109、FeRAM コントロール回路 110、FeRAM 回路 111 に供給する。一方、アンテナ回路で受信された交流信号はアンプ 108 を通して論理回路 109 に入力され、論理演算が行われる。そして、論理回路 109 の信号を用いて、FeRAM コントロール回路 110 を制御し、FeRAM 回路 111 に記憶されているデータを呼び出す。次に FeRAM 回路 111 に記憶されたデータを論理回路 106 で加工し、アンプ 105 で増幅の後、変調回路 104 を動作させる。データの加工は ISO14443、ISO15693、ISO18000 などの規格に定められた方式に従い加工されるが、質問器との整合性が確保されれば、上記規格以外であってもかまわない。

【0026】

変調回路 104 が動作すると、アンテナ回路 101 のインピーダンスが変化する。これによって、アンテナ回路 101 で反射される質問器の信号に変化が生じる。この変化を質問器が読み取ることによって半導体装置 100 の FeRAM 回路 111 に記憶されたデータを知ることが可能になる。このような変調方式を負荷変調方式という。

【0027】

以下、FeRAM 回路の動作について、図 5 を用いて説明を行う。図 5 では FeRAM 回路を 2T2C 方式（1つのメモリセルが 2つのトランジスタと 2つの強誘電体容量で構成されている方式）とした例である。図 5 の FeRAM 回路は説明簡略化のため、4ビットのメモリ回路としているが、4ビットに限定されるものではない。図 5 に示す FeRAM 回路はビット線デコーダー 501、ワード線デコーダー 502、プレート線デコーダー 503、プリチャージ回路 504、n 型メモリトランジスタ 505～512（以下トランジスタ 505～512 と略記する）、強誘電体容量素子 513～520、ビット線 521～524、ワード線 525、526、プレート線 527、528、センスアンプ 529、530、センスアンプ選択スイッチ 531、532、プリチャージスイッチ 533～536、ビット線選択スイッチ 537～540、入力端子 541、542、出力端子 543 によって構成される。

【0028】

メモリセルに含まれる強誘電体容量素子は図 6 に示すような 3 層構造をもっている。すなわち、Pt/IrO₂ などよりなる下部電極層、PTZ (PbZrTiO₃) などよりなる強誘電体層、Ir/IrO₂ などよりなる上部電極層である。PTZ を良好に成膜するためには、下地膜の格子定数は PTZ に近いものが望ましい。Pt/IrO₂ はこのような理由から選ばれている。

【0029】

強誘電体容量には電圧に対して、分極特性がヒステリシスを有する。これを図 8 に示す。FeRAM はこのヒステリシスを利用して、不揮発性のメモリを構成している。以下、トランジスタ 505、506 によって構成されるメモリセル 500 を代表として説明を行う。

【0030】

ここで、メモリセルが二値のデジタル信号のうち一方を出力する場合について例示する

。以下の説明においては、高電位の信号を“1”、低電位の信号を“0”と表記する。まず、メモリセル500が、“1”を出力するような書き込みをする場合を考える。まず、入力端子541に高電位（例えばVDD）、入力端子542に低電位（例えばGND）を与える。次にビット線デコーダー501を動作させ、ビット線選択スイッチ537、538をオンさせる。これによって、ビット線521には高電位、ビット線522には低電位が供給される。このときプレート線527の電位は中間電位（例えば $VDD/2$ ）としておく。次にワード線デコーダー502を動作させ、ワード線525をアクティブとする、それによってトランジスタ505、506はオンとなり、ビット線521と強誘電体容量素子513は短絡され、ビット線522と強誘電体容量素子514も短絡される。従って、強誘電体容量素子513、514にはそれぞれ $VDD/2$ および $-VDD/2$ の電圧が印加される。

【0031】

この状態は図8において、点Bおよび点Dになっていることを示している。次に、入力端子541、542にプレート線527と同じ電位（ここでは $VDD/2$ ）を印加する。トランジスタ505、506はオンしたままなので、強誘電体容量素子513、514の端子間に加わる電圧は0となる。これによって、強誘電体容量素子513、514の状態は図8における点Cおよび点Eとなる。そして、ワード線デコーダー502を動作させ、トランジスタ505、506をオフさせる。このようにしてデータはメモリセル500に記憶される。

【0032】

メモリセル500のデータを読み出す場合には、ビット線選択スイッチ537、538をオフとして、入力端子541、542とビット線521、522を切り離す。次にプリチャージスイッチ533、534をオンさせ、ビット線521、522を同じ電位にプリチャージ回路504によってプリチャージをする。この電位は例えば $VDD/2$ でも良い。プリチャージ終了後プリチャージスイッチ533、534はオフとする。次に、ワード線デコーダー502を動作させトランジスタ505、506をオンさせる。そして、プレート線デコーダー503を動作させプレート線527の電位を高電位（VDD）とする。

【0033】

強誘電体容量素子513、514のプレート線527に接続されている端子の電位が上昇するため、トランジスタ505、506を介して、ビット線521、522の電位も上昇する。しかし、強誘電体容量素子に記憶されている分極量が異なるため、ビット線521と522では上昇する電位が異なる。その差電圧をセンスアンプ529で増幅し、センスアンプ選択スイッチ531を介して出力端子543に出力することができる。

【0034】

書き込み時において、入力端子541、542に印加する電圧を逆にすれば、“0”の電位の書き込みができる。また、読み出しは上記と同じである。このようにしてFeRAMは動作を行う。

【0035】

次に1回のみの書き込みを行う実施形態について説明を行う。本実施の形態では図12（B）に示すように、本来メモリ回路が必要とするメモリエリア（図12（B）では16バイト）のあとに、書き込み状態を示すビットを追加している。この部分に書き込みがされたかどうかを示すデータを記憶する。

【0036】

次にその動作について図13を用いて説明する。図13は論理回路109の内部ブロックを示す。論理回路109はデコード回路1301、ディレイ回路1302、スイッチ1303、揮発性メモリ回路1304より構成されている。初期時においては、図12（B）に示した書き込み記憶ビットには、書き込みがされていない状態を示している。これをここでは“0”が記憶されているとする。（説明上、“0”記憶とするが“1”記憶でもよい）。アンテナ回路より信号が入力され、安定化電源が立ち上がるとFeRAM回路11はこの値を論理回路109内部の揮発性メモリ回路1304に出力する。そして揮発

性メモリ回路はこの値を記憶する。この揮発性メモリ回路1304はDRAM、SRAM、レジスタなど記憶ができれば回路構成は問わない。

【0037】

一方、復調回路107から入力された信号はデコード回路1301でデコードされ、ディレイ回路1302を経て、スイッチ1303に入力される。スイッチ1303は揮発性メモリ回路1304によって制御され、揮発性メモリ回路1304のデータが上記に示したように”0”であれば、スイッチ1303をオンするように動作する。スイッチ1303がオンしている場合、信号はFeRAM回路111に出力され、FeRAM回路111に書き込みが行われる。書き込みが終了すると、図12(B)に示す書き込み記憶ビットに”1”が記憶される(初期値が”1”の場合には”0”を記憶)。ディレイ回路1302は安定化電源が立ち上がり、スイッチ1303の状態が確定する前に、データがスイッチ1303を通過して、FeRAM回路に出力されないようにするためのものであり、ディレイ回路以外の手段を用いて、スイッチの確定前の誤動作防止を行ってもよい。

【0038】

図12(B)に示す書き込み記憶ビットに”1”が記憶されると、揮発性メモリ回路1304はスイッチ1303をオフにするように動作を行う。このようにして、1回目以降のデータはスイッチ1303を通過することができないため、FeRAM回路への書き込みは1回に限定される。

【0039】

次に図13とは異なる1回書き込みの実施形態を図9用いて説明する。図9は論理回路109の内部ブロックを示す。論理回路109はデコード回路901、ディレイ回路902、スイッチ903、1ビットFeRAM回路904より構成されている。図12(B)に示した書き込み記憶ビットは1ビットFeRAM904に記憶され、初期状態では、書き込みがされていない状態を示している。これをここでは”0”が記憶されているとする。(説明上、”0”記憶とするが”1”記憶でもよい)。

【0040】

アンテナ回路より信号が入力され、安定化電源が立ち上がると、アンテナ回路を経て復調回路107から入力された信号はデコード回路901でデコードされ、ディレイ回路902を経て、スイッチ903に入力される。スイッチ903は1ビットFeRAM回路904によって制御され、1ビットFeRAM回路904のデータが上記に示したように”0”であれば、スイッチ903をオンするように動作する。スイッチ903がオンしている場合、信号はFeRAM回路111に出力され、FeRAM回路111に書き込みが行われる。書き込みが終了すると、FeRAMコントロール回路によって、図12(B)に示す書き込み記憶ビット(1ビットFeRAM回路904内部)に”1”が記憶される(初期値が”1”の場合には”0”を記憶)。ディレイ回路902は安定化電源が立ち上がり、スイッチ903の状態が確定する前に、データがスイッチ903を通過して、FeRAM回路に出力されないようにするためのものであり、ディレイ回路以外の手段を用いて、スイッチの確定前の誤動作防止を行ってもよい。

【0041】

図12(B)に示す書き込み記憶ビットに”1”が記憶されると、1ビットFeRAM回路904はスイッチ903をオフにするように動作を行う。このようにして、1回目以降のデータはスイッチ903を通過することができないため、FeRAM回路111への書き込みは1回に限定される。

【0042】

以上説明したように、FeRAMを用いることで、高速な読み書きを可能とし、かつ信頼性を向上させることができる。また、メモリ回路に1回のみ書き込みを可能とする制御回路を設けることで、IDチップの中のメモリ回路に情報を1回のみ書き込むことが可能になる。このようにして、IDチップのデータ偽造を防止することができ、セキュリティを確保したIDチップを提供することができる。

【実施例1】

【0043】

以下、実施形態とは異なる F e R A M 回路の動作について、図 7 を用いて説明を行う。図 7 では F e R A M 回路を 1 T 1 C 方式（1 つのメモリセルが 1 つのトランジスタと 1 つの強誘電体容量で構成されている方式）とした例である。図 7 の F e R A M 回路は説明簡略化のため、4 ビットのメモリ回路としているが、4 ビットに限定されるものではない。図 7 に示す F e R A M 回路はビット線デコーダー 701、ワード線デコーダー 702、プレート線デコーダー 703、プリチャージ回路 704、n 型メモリトランジスタ 705 ~ 708（以下トランジスタ 705 ~ 708 と略記することがある）、強誘電体容量素子 709 ~ 712、ビット線 713、714、ワード線 715、716、プレート線 717、718、センスアンプ 719、720、センスアンプ選択スイッチ 721、722、プリチャージスイッチ 723、724、ビット線選択スイッチ 725、726、入力端子 727、出力端子 728 によって構成される。

【0044】

以下、トランジスタ 705 によって構成されるメモリセル 700 を代表として説明を行う。

まず、メモリセル 700 が " 1 " を出力するような書き込みをする場合を考える。まず、入力端子 727 に高電位（例えば VDD）を与える。次にビット線デコーダー 701 を動作させ、ビット線選択スイッチ 725 をオンさせる。これによって、ビット線 713 には高電位が供給される。このときプレート線 717 の電位は中間電位（例えば $VDD/2$ ）としておく。次にワード線デコーダー 702 を動作させ、ワード線 715 をアクティブとする、それによってトランジスタ 705、706 はオンとなり、ビット線 713 と強誘電体容量素子 709 は短絡される。従って、強誘電体容量素子 709 には $VDD/2$ の電圧が印加される。

【0045】

この状態は図 8 において、点 B になっていることを示している。次に、入力端子 727 にプレート線 717 と同じ電位（ここでは $VDD/2$ ）を印加する。トランジスタ 705、706 はオンしたままなので、強誘電体容量素子 709 の端子間に加わる電圧は 0 となる。これによって、強誘電体容量素子 709 の状態は図 8 における点 C となる。そして、ワード線デコーダー 702 を動作させ、トランジスタ 705、706 をオフさせる。このようにしてデータはメモリセル 700 に記憶される。

【0046】

メモリセル 700 のデータを読み出す場合には、ビット線選択スイッチ 725 をオフとして、入力端子 727 とビット線 713 を切り離す。次にプリチャージスイッチ 723 をオンさせ、ビット線 713 を $VDD/2$ にプリチャージ回路 704 によってプリチャージをする。プリチャージ終了後プリチャージスイッチ 723 はオフとする。次に、ワード線デコーダー 702 を動作させトランジスタ 705、706 をオンさせる。そして、プレート線デコーダー 703 を動作させプレート線 717 の電位を高電位（VDD）とする。

【0047】

強誘電体容量素子 709 のプレート線 717 に接続されている端子の電位が上昇するため、トランジスタ 705 を介して、ビット線 713 の電位も上昇する。しかし、強誘電体容量素子に記憶されている分極量によって上昇電圧が異なる。基準電圧とビット線電圧の差をセンスアンプ 719 で増幅し、センスアンプ選択スイッチ 721 を介して出力端子 728 に出力することができる。

【0048】

書き込み時において、入力端子 727 に印加する電圧を逆にすれば、" 0 " の電位の書き込みができる。また、読み出しは上記と同じである。このようにして、本実施例の F e R A M は動作を行う。

【実施例 2】

【0049】

安定化電源回路の例について図 20 を用いて説明する。安定化電源回路は基準電圧回路

とバッファアンプで構成される。基準電圧回路は抵抗 2201、ダイオード接続のトランジスタ 2202、2203 によって構成され、トランジスタの VGS 2 つ分の基準電圧を発生させる。バッファアンプはトランジスタ 2205、2206 で構成される差動回路、トランジスタ 2207、2208 によって構成されるカレントミラー回路、電流供給用抵抗 2204、トランジスタ 2209、抵抗 2210 によって構成されるソース接地アンプより構成される。

【0050】

出力端子より流れる電流が大きいときはトランジスタ 2209 に流れる電流が少なくなり、また、出力端子より流れる電流が小さいときはトランジスタ 2209 に流れる電流が多くなり、抵抗 2210 に流れる電流はほぼ一定となるように動作する。また出力端子の電位は基準電圧回路とほぼ同じ値となる。ここでは基準電圧回路とバッファアンプよりなる安定化電源回路を示しているが、本発明に用いる安定化電源回路は上記にこだわらず、他の形式の回路であっても良い。

【実施例 3】

【0051】

絶縁基板上に実施の形態で示したメモリ素子、およびデコーダーなどの論理回路部に用いる TFT を同時に作製する方法について図 14～17 を用いて説明する。なお、本実施例では強誘電体材料を用いた容量と、半導体素子として n チャネル型 TFT、p チャネル型 TFT を例に挙げて示すが、本発明においてメモリ部および論理回路部に含まれる半導体素子はこれに限定されない。また、この作製方法は一例であって、絶縁基板上での作製方法を限定するものではない。

【0052】

まず図 14 (A) において基板 4000 は、例えばバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、ステンレス基板等を用いることができる。また、プラスチック等の可撓性を有する合成樹脂からなる基板は、一般的に上記基板と比較して耐熱温度が低い傾向にあるが、作製工程における処理温度に耐え得るのであれば用いることが可能である。

【0053】

基板 4000 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜 4001、4002 を形成する。例えば、下地膜 4001 として、プラズマ CVD 法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜を 10～200 nm (好ましくは 50～100 nm) 形成し、下地膜 4002 として、 SiH_4 、 N_2O から作製される酸化窒化水素化シリコン膜を 50～200 nm (好ましくは 100～150 nm) の厚さに積層形成する。本実施例では下地膜を 2 層構造として示したが、前記絶縁膜の単層膜または 2 層以上積層させた構造として形成しても良い。また、石英基板など不純物の拡散がさして問題とならない場合は、必ずしも設ける必要はない。

【0054】

島状半導体層 4003～4005 は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する (図 14 (B))。この島状半導体層 4003～4005 の厚さは 25～100 nm (好ましくは 30～60 nm) の厚さで形成する。なお島状半導体層 4003～4005 は、非晶質半導体であっても良いし、多結晶半導体であっても良い。また半導体は珪素だけではなくシリコンゲルマニウムも用いることができる。シリコンゲルマニウムを用いる場合、ゲルマニウムの濃度は 0.01～4.5 atomic% 程度であることが好ましい。

【0055】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーや YAG レーザー、YVO₄ レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数 30 Hz とし、レーザーエネルギー密

度を $100 \sim 400 \text{ mJ/cm}^2$ (代表的には $200 \sim 300 \text{ mJ/cm}^2$) とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数 $1 \sim 10 \text{ kHz}$ とし、レーザーエネルギー密度を $300 \sim 600 \text{ mJ/cm}^2$ (代表的には $350 \sim 500 \text{ mJ/cm}^2$) とすると良い。そして幅 $100 \sim 1000 \mu\text{m}$ 、例えば $400 \mu\text{m}$ で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率 (オーバーラップ率) を $80 \sim 98\%$ として行う。

【0056】

次いで、島状半導体層 4003～4005 を覆うゲート絶縁膜 4006 を形成する (図 14 (C))。ゲート絶縁膜 4006 はプラズマ CVD 法またはスパッタ法を用い、厚さを $40 \sim 150 \text{ nm}$ としてシリコンを含む絶縁膜で形成する。本実施例では、 120 nm の厚さの酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜 4006 はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマ CVD 法で TEOS (Tetraethyl Ortho Silicate) と O_2 とを混合し、反応圧力 40 Pa 、基板温度 $300 \sim 400^\circ\text{C}$ とし、高周波 (13.56 MHz)、電力密度 $0.5 \sim 0.8 \text{ W/cm}^2$ で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後 $400 \sim 500^\circ\text{C}$ の熱アニールにより絶縁膜として良好な特性を得ることができる。

【0057】

次に、図 15 (A) に示すように、ゲート絶縁膜 4006 上にゲート電極 4100～4102 を形成する。ゲート電極 4100～4102 はタンタル (Ta)、チタン (Ti)、モリブデン (Mo)、タングステン (W)、前記元素を主成分とする合金、あるいは多結晶シリコンなどで形成すれば良い。まず表面上に導電層を形成し、レジストマスク (図示せず) を用いて、導電層をエッチングすることで、ゲート電極 4100～4102 が形成される。

【0058】

その後、N 型を付与する不純物元素をドーピングする。こうして、半導体活性層内に N 型の低濃度不純物領域 4103～4108 が形成される。

【0059】

次いで、ゲート電極 4102 を覆うようにレジストマスク (図示せず) を形成し、ゲート電極 4101 と該レジストマスクをマスクとして自己整合的に n 型不純物元素を添加し、また、ゲート電極 4101 をマスクとして自己整合的に p 型不純物元素を添加する。

【0060】

こうして n チャネル型 TFT のソース領域またはドレイン領域として機能する高濃度 n 型不純物領域 4111、4112、4113、4114 及び p チャネル型 TFT のソース領域またはドレイン領域として機能する高濃度 p 型不純物領域 4109、4110 を形成する。n 型を付与する不純物元素にはリン (P) あるいは砒素 (As) を、p 型を付与する不純物元素にはボロン (B) を、それぞれ用いる。

【0061】

その後、n 型及び p 型不純物元素の活性化を行う。活性化手段としては、ファーンেসアニール、レーザーアニール、ランプアニール、またはこれらを組み合わせた方法を用いるとよい。熱アニール法では酸素濃度が 1 ppm 以下、好ましくは 0.1 ppm 以下の窒素雰囲気中で、 $400 \sim 700^\circ\text{C}$ の加熱温度で行う。

【0062】

そして図 15 (C) に示すように、ゲート電極 4100～4112 上に、窒化珪素膜又は酸窒化珪素膜による第 1 の層間絶縁膜 4115 を形成する。

【0063】

以上のようにして同一基板上に画素部を構成するスイッチング TFT と、駆動回路や他の論理回路を構成する TFT が形成される。次に第 1 の層間絶縁膜 4115 の上に強誘電体材料を用いた容量の形成を行う。

【0064】

まず、下部電極層 4201 の形成を行う (図 16 (A))。形成方法は CVD 法、スパッタ法、イオンビームスパッタ法、レーザアブレーション法などから選べば良い。下部電極層 4201 の材料には Pt/IrO₂、Pt/Ta/SiO₂ などを用いる事ができる。強誘電体薄膜の電気的特性は結晶の配向に強く依存するため、下部電極の表面には配向制御が容易な Pt を用いるのが特に好ましい。金属膜形成後不要な部分をプラズマエッチングなどで処理して下部電極層 4201 を形成する。

【0065】

次に、下部電極層 4201 の上に強誘電体層 4202 を形成する (図 16 (B))。強誘電体は PZT、PbTiO₃ などの鉛含有ペロブスカイト、Bi₄Ti₃O₁₂ などのビスマス層状化合物、LiNbO₃、LiTaO₃ などのイルメナイト系化合物を用いる事ができる。このうち鉛含有ペロブスカイトを用いた強誘電体、とりわけ PZT は広い組成範囲で強誘電体の性質を示すため好ましい。

【0066】

強誘電体層 4202 の形成方法は CVD 法、スパッタ法、イオンビームスパッタ法、レーザアブレーション法などから選べば良い。特に CVD 法は膜組成や結晶性の制御性が高く、大面積化や量産化に優れて好ましい。CVD 法で形成する場合、材料の条件として比較的低温で大きな蒸気圧を持ち、長時間にわたって安定であること、また堆積温度範囲内において析出速度が原料の供給量によって決まること、気相での核生成反応が起こらないことなどが挙げられるが、PZT はこれらの点でも優れている。

【0067】

CVD 法による強誘電体層形成のプロセスは公知の手順に従えば良い。例えば圧力 660 Pa、基板温度 500~650 度で PZT による強誘電体層を形成させることができる。

【0068】

次に、強誘電体層 4202 の上に上部電極層 4203 を形成する (図 16 (C))。形成方法は下部電極層 4201 と同様に CVD 法、スパッタ法、イオンビームスパッタ法、レーザアブレーション法などから選ぶ事ができる。上部電極層 4203 の材料には下部電極層 4201 で用いた材料のほか Ir/IrO₂ などを用いる事ができる。

【0069】

次に、図 17 (A) に示すように、窒化珪素膜又は酸窒化珪素膜を材料とする第 2 の層間絶縁膜 4307 を成膜した後、コンタクトホールを形成し、該コンタクトホールを介して配線 4300~4306 を形成する。なお、配線 4300~4306 と TFT との電気的な接続の形態は、本実施例に限定されない。

【0070】

最後に、図 17 (B) に示すように第 2 の層間絶縁膜 4307 上に保護層 4308 を形成する。保護層 4308 の材料としてはポリイミドやアクリル樹脂などの光硬化型または熱硬化型の有機樹脂材料を用いることができる。

【0071】

このような手順を経て、画素部を構成する TFT と駆動回路や他の論理回路を構成する TFT、及び不揮発性のラッチ回路を構成する強誘電体材料を用いた容量を同一基板上に同時に作製することができる。

【0072】

なお、本実施例では画素を構成するスイッチング TFT として、ゲート電極とオーバーラップしない LDD 領域を有する構造を、駆動回路及び論理回路を構成する TFT として、シングルドレイン構造を、それぞれ作製する場合を示したが、本実施例はこの構造に限定されない。必要に応じ、GOLD 構造や他の LDD 構造などの用途に適した TFT 構造を、公知の方法に従って作製すればよい。

【実施例 4】

【0073】

剥離プロセスを用いて、フレキシブルなIDタグを構成する場合の例について図21を用いて説明する。IDタグはフレキシブル保護層2301、2303（以下保護層2301、2303と略記することがある）、および剥離プロセスを用いて形成されたIDチップ2302より構成される。本実施例において、アンテナ2304はIDチップ2302上ではなく、保護層2303上に形成され、IDチップ2302に電氣的に接続されている。図21(A)では保護層2303上にのみ形成されているが、保護層2301上にもアンテナを形成しても良い。アンテナは銀、銅、またはそれらでメッキされた金属であることが望ましい。IDチップ2302とアンテナとの接続は異方性導電膜を用い、UV処理を行い接続を行うが、接続方法はこれに限定されない。

【0074】

図21(B)は図21(A)の断面を示したものである。IDチップ2302の厚さは $5\mu\text{m}$ 以下であり、望ましくは $0.1\mu\text{m}\sim 3\mu\text{m}$ の厚さを有する。また保護層2301、2303の厚さは、保護層2301、2303を重ねたときの厚さを d としたとき、 $(d/2) \pm 30\mu\text{m}$ となっていることが望ましく、特に $(d/2) \pm 10\mu\text{m}$ であれば最良である。保護層2301、2303の厚さは $10\mu\text{m}\sim 200\mu\text{m}$ であることが望ましい。IDチップ2302の面積は 5mm 角以下であり、望ましくは 0.3mm 角 $\sim 4\text{mm}$ 角の面積を有する。

【0075】

保護層2301、2303は有機樹脂材料で形成され折り曲げに対して強い構造をもっている。剥離プロセスを用いたIDチップ2302自体も単結晶半導体に比べて、折り曲げに対して強いいため、保護層2301、2303と密着させることが可能である。このような保護層2301、2303で囲われたIDチップをさらに他の個体物の表面または内部に配置しても良い。また、紙の中に埋め込んでも良い。

【実施例5】

【0076】

IDチップを曲面にはる場合、つまり、IDチップが弧を描いている方向と垂直にTF Tを配置した例について図19を用いて説明する。図19のIDチップが含むTF Tは、電流が流れる方向、すなわち、ドレイン電極 \sim ゲート電極 \sim ソース電極の位置は直線状にあり、応力の影響が少なくなるような配置となっている。このような配置を行うことによって、TF T特性の変動を抑えることができる。また、TF Tを構成する結晶は電流の流れる方向にそろっており、これらをCWL Cなどで形成することによって、S値を $0.35\text{V}/\text{dec}$ 以下、(好ましくは $0.09\sim 0.25\text{V}/\text{dec}$)、移動度を $100\text{cm}^2/\text{Vs}$ 以上にする事ができる。

このようなTF Tを用いて19段リングオシレータを構成した場合において、電源電圧 $3\sim 5\text{V}$ において、その発振周波数は 1MHz 以上、好ましくは 100MHz 以上の特性を有する。電源電圧 $3\sim 5\text{V}$ において、インバータ1段あたりの遅延時間は 26ns 、好ましくは 0.26ns 以下を有する。

【0077】

また、応力に対して、TF Tなどのアクティブ素子を破壊させないためには、TF Tなどのアクティブ素子の活性領域(シリコンアイランド部分)の面積が全体の面積に占める割合は、 $5\%\sim 50\%$ であることが望ましい。

TF Tなどのアクティブ素子の存在しない領域には下地絶縁材料、層間絶縁材料および配線材料が主として設けられている。TF Tの活性領域以外の面積は全体の面積の 60% 以上であることが望ましい。

アクティブ素子の活性領域の厚さは $20\text{nm}\sim 200\text{nm}$ 、代表的には $40\sim 170\text{nm}$ 、好ましくは $45\sim 55\text{nm}$ 、 $145\sim 155\text{nm}$ を有する。

【実施例6】

【0078】

本実施例では本発明を用いた回路に外付けのアンテナを付けた例について図10、図11を用いて説明する。

【0079】

図10(A)は回路の周りを一面のアンテナで覆ったものである。基板1000上にアンテナ1001を構成し、本発明を用いた回路1002を接続する。図面では回路1002の周りをアンテナ1001で覆う構成になっているが、全面をアンテナで覆い、その上に電極を構成した回路1002を貼り付けるような構造を取っても良い。

【0080】

図10(B)は細いアンテナを回路の周りを回るように配置したものである。基板1003上にアンテナ1004を構成し、本発明を用いた回路1005を接続する。なお、アンテナの配線は一例であってこれに限定するものではない。

【0081】

図10(C)は高周波数のアンテナである。基板1006上にアンテナ1007を構成し、本発明を用いた回路1008を接続する。

【0082】

図10(D)は180度無指向性(どの方向からでも同じく受信可能)なアンテナである。基板1009上にアンテナ1010を構成し、本発明を用いた回路1011を接続する。

【0083】

図10(E)は棒状に長く伸ばしたアンテナである。基板1012上にアンテナ1010を構成し、本発明を用いた回路1014を接続する。

【0084】

本発明を用いた回路とこれらのアンテナへの接続は公知の方法で行うことができる。例えばアンテナと回路をワイヤボンディング接続やバンプ接続を用いて接続する、あるいはチップ化した回路の一面を電極にしてアンテナに貼り付けるという方法を取ってもよい。この方式ではACF(anisotropic conductive film;異方性導電性フィルム)を用いて貼り付けることができる。

【0085】

アンテナに必要な長さは受信に用いる周波数によって適正な長さが異なる。一般には波長の整数分の1の長さにとすると良いとされる。例えば周波数が2.45GHzの場合は約60mm(1/2波長)、約30mm(1/4波長)とすれば良い。

【0086】

また、本発明の回路上に基板を取りつけ、さらにその上にアンテナを構成してもよい。図11(A)~(C)にその一例として回路上に基板を取りつけ、らせん状のアンテナを配置したものの上面図および断面図を示す。

【0087】

なお、本実施例に示した例はごく一例であり、アンテナの形状を限定するものではない。あらゆる形状のアンテナについて本発明は実施することが可能である。この実施例は実施形態および上記の実施例1~7のどのような組み合わせからなる構成を用いても実現することができる。

【実施例7】

【0088】

本実施例では、図22~24を参照して、TF Tを含む薄膜集積回路装置の具体的な作製方法について説明する。ここでは、簡単のため、n型TF Tとp型TF Tを用いたCP Uとメモリ部分の断面構造を示すことによって、その作製方法について説明する。

【0089】

まず、基板60上に、剥離層61を形成する(図22(A))。ここでは、ガラス基板(例えば、コーニング社製1737基板)上に、50nm(500Å)の膜厚のa-Si膜(非晶質シリコン膜)を減圧CVD法により形成した。なお、基板としては、ガラス基板の他にも、石英基板、アルミナなど絶縁物質で形成される基板、シリコンウエハ基板、後工程の処理温度に耐え得る耐熱性を有するプラスチック基板等を用いることができる。

【0090】

また、剥離層としては、非晶質シリコンの他に、多結晶シリコン、単結晶シリコン、SAS（セミアモルファスシリコン（微結晶シリコン、マイクロクリスタルシリコンともいう。））等、シリコンを主成分とする膜を用いることが望ましいが、これらに限定されるものではない。剥離層は、減圧CVD法の他にも、プラズマCVD法、スパッタ法等によって形成しても良い。また、リンなどの不純物をドーブした膜を用いてもよい。また、剥離層の膜厚は、50～60nmとするのが望ましい。SASに関しては、30～50nmとしてもよい。

【0091】

次に、剥離層61上に、保護膜55（下地膜、下地絶縁膜と呼ぶこともある。）を形成する（図22（A））。ここでは、膜厚100nmのSiON膜\膜厚50nmのSiNO膜\膜厚100nmのSiON膜の3層構造としたが、材質、膜厚、積層数は、これに限定されるものではない。例えば、下層のSiON膜に代えて、膜厚0.5～3μmのシロキサン等の耐熱性樹脂をスピンコート法、スリットコーター法、液滴吐出法などによって形成しても良い。また、窒化珪素膜（SiN、Si₃N₄等）を用いてもよい。また、それぞれの膜厚は、0.05～3μmとするのが望ましく、その範囲から自由に選択することができる。

【0092】

ここで、酸化珪素膜は、SiH₄/O₂、TEOS（テトラエトキシシラン）/O₂等の混合ガスを用い、熱CVD、プラズマCVD、常圧CVD、バイアスECRCVD等の方法によって形成することができる。また、窒化珪素膜は、代表的には、SiH₄/NH₃の混合ガスを用い、プラズマCVDによって形成することができる。また、SiON膜又はSiNO膜は、代表的には、SiH₄/N₂Oの混合ガスを用い、プラズマCVDによって形成することができる。

【0093】

なお、剥離層61及び島状半導体膜57として、a-Si等の珪素を主成分とする材料を用いる場合には、それらに接する保護膜としては、密着性確保の点から、SiO_xN_yを用いてもよい。

【0094】

次に、保護膜55上に、薄膜集積回路装置のCPUやメモリを構成する薄膜トランジスタ（TFT）を形成する。なお、TFT以外にも、有機TFT、薄膜ダイオード等の薄膜能動素子を形成することもできる。

【0095】

TFTの作製方法として、まず、保護膜55上に、島状半導体膜57を形成する（図22（B））。島状半導体膜57は、アモルファス半導体、結晶性半導体、又はセミアモルファス半導体で形成する。いずれも、シリコン、シリコンゲルマニウム（SiGe）等を主成分とする半導体膜を用いることができる。

【0096】

ここでは、70nmの膜厚のアモルファスシリコンを形成し、さらにその表面をニッケル含有溶液で処理した。さらに、500～750℃の熱結晶化工程によって結晶質シリコン半導体膜を得、レーザー結晶化を行って結晶性の改善を施した。また、成膜方法としては、プラズマCVD法、スパッタ法、LPCVD法などを用いても良い。結晶化方法としては、レーザー結晶化法、熱結晶化法、他の触媒（Fe, Ru, Rh, Pd, Pd, Os, Ir, Pt, Cu, Au等）を用いた熱結晶化、あるいはそれらを交互に複数回行ってよい。

【0097】

また、非晶質構造を有する半導体膜の結晶化処理としては、連続発振のレーザーを用いても良く、結晶化に際し大粒径の結晶を得るためには、連続発振が可能な固体レーザーを用い、基本波の第2高調波～第4高調波を適用するのが好ましい（この場合の結晶化をCWLCという。）。代表的には、Nd:YVO₄レーザー（基本波1064nm）の第2高調波（532nm）や第3高調波（355nm）を適用すればよい。連続発振のレーザ

ーを用いる場合には、出力10Wの連続発振のYVO₄レーザーから射出されたレーザー光を非線形光学素子により高調波に変換する。また、共振器の中にYVO₄結晶又はGdVO₄結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面にて矩形状または楕円形状のレーザー光に成形して、被処理体に照射する。このときのエネルギー密度は0.01~100MW/cm²程度（好ましくは0.1~10MW/cm²）が必要である。そして、10~2000cm/s程度の速度でレーザー光に対して相対的に半導体膜を移動させて照射すればよい。

【0098】

また、パルス発振のレーザーを用いる場合、通常、数十Hz~数百Hzの周波数帯を用いるが、それよりも著しく高い10MHz以上の発振周波数を有するパルス発振レーザーを用いてもよい（この場合の結晶化をMHzLCという。）。パルス発振でレーザー光を半導体膜に照射してから半導体膜が完全に固化するまでの時間は数十nsec~数百nsecと言われていたため、上記高周波数帯を用いることで、半導体膜がレーザー光によって熔融してから固化するまでに、次のパルスのレーザー光を照射できる。よって、従来のパルス発振のレーザーを用いる場合と異なり、半導体膜中において固液界面を連続的に移動させることができるので、走査方向に向かって連続的に成長した結晶粒を有する半導体膜が形成される。具体的には、含まれる結晶粒の走査方向における幅が10~30μm、走査方向に対して垂直な方向における幅が1~5μm程度の結晶粒の集合を形成することができる。走査方向に沿って長く延びた単結晶の結晶粒を形成することで、少なくともTFTのチャネル方向には結晶粒界のほとんど存在しない半導体膜の形成が可能となる。

【0099】

なお、保護膜55の一部に耐熱性有機樹脂であるシロキサンを用いた場合には、上記結晶化の際に、半導体膜中から熱が漏れることを防止することができ、効率よく結晶化を行うことができる。

【0100】

上記の方法によって結晶性シリコン半導体膜を得る。なお、結晶は、ソース、チャネル、ドレイン方向にそろっていることが望ましい。また、結晶層の厚さは、20~200nm（代表的には40~170nm、さらに好ましくは、50~150nm）となるようにするのがよい。その後、半導体膜上に酸化膜を介して、金属触媒をゲッタリングするためのアモルファスシリコン膜を成膜して、500~750℃の熱処理によってゲッタリング処理を行った。さらに、TFT素子としての閾値を制御するために、結晶性シリコン半導体膜に対し、10¹³/cm²オーダーのドーザ量のホウ素イオンを注入した。その後、レジストをマスクとしてエッチングを行うことにより、島状半導体膜57を形成した。

【0101】

なお、結晶性半導体膜を形成するにあたっては、ジシラン（Si₂H₆）とフッ化ゲルマニウム（GeF₄）の原料ガスとして、LPCVD（減圧CVD）法によって、多結晶半導体膜を直接形成することによっても、結晶性半導体膜を得ることができる。ガス流量比は、Si₂H₆/GeF₄=20/0.9、成膜温度は400~500℃、キャリアガスとしてHe又はArを用いたが、これに限定されるものではない。

【0102】

なお、TFT内の特にチャネル領域には、1×10¹⁹~1×10²²cm⁻³、好ましくは1×10¹⁹~5×10²⁰cm⁻³の水素又はハロゲンが添加されているのがよい。SASに関しては、1×10¹⁹~2×10²¹cm⁻³とするのが望ましい。いずれにしても、ICチップに用いられる単結晶に含まれる水素又はハロゲンの含有量よりも多く含有させておくことが望ましい。これにより、TFT部に局部クラックが生じても、水素又はハロゲンによってターミネート（終端）されうる。

【0103】

次に、島状半導体膜57上にゲート絶縁膜58を形成する（図22（B））。ゲート絶縁膜はプラズマCVD法又はスパッタリング法などの薄膜形成法を用い、窒化珪素、酸化珪素、窒化酸化珪素又は酸化窒化珪素を含む膜を、単層で、又は積層させて形成すること

が好ましい。積層する場合には、例えば、基板側から酸化珪素膜、窒化珪素膜、酸化珪素膜の3層構造とするのがよい。

【0104】

次に、ゲート電極56を形成する(図22(C))。ここでは、SiとW(タングステン)をスパッタ法により積層形成した後に、レジスト62をマスクとしてエッチングを行うことにより、ゲート電極56を形成した。勿論、ゲート電極56の材料、構造、作製方法は、これに限定されるものではなく、適宜選択することができる。例えば、n型不純物がドーピングされたSiとNiSi(ニッケルシリサイド)との積層構造や、Ta₂N(窒化タンタル)とW(タングステン)の積層構造としてもよい。また、種々の導電材料を用いて単層で形成しても良い。

【0105】

また、レジストマスクの代わりに、SiO_x等のマスクを用いてもよい。この場合、SiO_x、SiON等のマスク(ハードマスクと呼ばれる。)をパターンニング形成工程が加わるが、エッチング時におけるマスクの膜減りがレジストよりも少ないため、所望の幅のゲート電極層を形成することができる。また、レジスト62を用いずに、液滴吐出法を用いて選択的にゲート電極56を形成しても良い。

【0106】

導電材料としては、導電膜の機能に応じて種々の材料を選択することができる。また、ゲート電極とアンテナとを同時に形成する場合には、それらの機能を考慮して材料を選択すればよい。

【0107】

なお、ゲート電極をエッチング形成する際のエッチングガスとしては、CF₄、Cl₂、O₂の混合ガスやCl₂ガスを用いたが、これに限定されるものではない。

【0108】

次に、p型TF₇₀、72となる部分をレジスト63で覆い、ゲート電極をマスクとして、n型TF₆₉、71の島状半導体膜中に、n型を付与する不純物元素64(代表的にはP(リン)又はAs(砒素))を低濃度にドーピングする(第1のドーピング工程、図22(D))。第1のドーピング工程の条件は、ドーズ量： $1 \times 10^{13} \sim 6 \times 10^{13} / \text{cm}^2$ 、加速電圧：50～70keVとしたが、これに限定されるものではない。この第1のドーピング工程によって、ゲート絶縁膜58を介してスルードーピングがなされ、一対の低濃度不純物領域65が形成される。なお、第1のドーピング工程は、p型TF₇₀領域をレジストで覆わずに、全面に行っても良い。

【0109】

次に、レジスト63をアッシング等により除去した後、n型TF₇₀領域を覆うレジスト66を新たに形成し、ゲート電極をマスクとして、p型TF₇₀、72の島状半導体膜中に、p型を付与する不純物元素67(代表的にはB(ホウ素))を高濃度にドーピングする(第2のドーピング工程、図22(E))。第2のドーピング工程の条件は、ドーズ量： $1 \times 10^{16} \sim 3 \times 10^{16} / \text{cm}^2$ 、加速電圧：20～40keVとして行う。この第2のドーピング工程によって、ゲート絶縁膜58を介してスルードーピングがなされ、一対のp型の高濃度不純物領域68が形成される。

【0110】

次に、レジスト66をアッシング等により除去した後、基板表面に、絶縁膜75を形成した(図23(F))。ここでは、膜厚100nmのSiO₂膜をプラズマCVD法によって形成した。その後、エッチバック法により、絶縁膜75、ゲート絶縁膜58をエッチング除去し、サイドウォール(側壁)76を自己整合的(セルフアライン)に形成した(図23(G))。エッチングガスとしては、CHF₃とHeの混合ガスを用いた。なお、サイドウォールを形成する工程は、これらに限定されるものではない。

【0111】

なお、サイドウォール76の形成方法は上記に限定されるものではない。例えば、図24に示した方法を用いることができる。図24(A)は、絶縁膜75を二層又はそれ以上

の積層構造とした例を示している。絶縁膜 75 としては、例えば、膜厚 100 nm の SiON (酸化珪素) 膜と、膜厚 200 nm の LTO 膜 (Low Temperature Oxide、低温酸化膜) の 2 層構造とした。ここでは、SiON 膜は、プラズマ CVD 法で形成し、LTO 膜としては、SiO₂ 膜を減圧 CVD 法で形成した。その後、エッチバックを行うことにより、L 字状と円弧状からなるサイドウォール 76 が形成される。

【0112】

また、図 24 (B) は、エッチバック時に、ゲート絶縁膜 58 を残すようにエッチングを行った例を示している。この場合の絶縁膜 75 は、単層構造でも積層構造でも良い。

【0113】

上記サイドウォールは、後に高濃度の n 型不純物をドーピングし、サイドウォール 76 の下部に低濃度不純物領域又はノンドープのオフセット領域を形成する際のマスクとして機能するものであるが、上述したサイドウォールのいずれの形成方法においても、形成したい低濃度不純物領域又はオフセット領域の幅によって、エッチバックの条件を適宜変更すればよい。

【0114】

次に、p 型 TFT 領域を覆うレジスト 77 を新たに形成し、ゲート電極 56 及びサイドウォール 76 をマスクとして、n 型を付与する不純物元素 78 (代表的には P 又は As) を高濃度にドーピングする (第 3 のドーピング工程、図 23 (H))。第 3 のドーピング工程の条件は、ドーズ量: $1 \times 10^{13} \sim 5 \times 10^{15} / \text{cm}^2$ 、加速電圧: 60 ~ 100 keV として行う。この第 3 のドーピング工程によって、ゲート絶縁膜 58 を介してスルードープがなされ、一対の n 型の高濃度不純物領域 79 が形成される。

【0115】

なお、レジスト 77 をアッシング等により除去した後、不純物領域の熱活性化を行っても良い。例えば、50 nm の SiON 膜を成膜した後、550℃、4 時間、窒素雰囲気下において、加熱処理を行えばよい。また、水素を含む SiNx 膜を、100 nm の膜厚に形成した後、410℃、1 時間、窒素雰囲気下において、加熱処理を行うことにより、結晶性半導体膜の欠陥を改善することができる。これは、例えば、結晶性シリコン中に存在するダングリングボンドを終端させるものであり、水素化処理工程などと呼ばれる。さらに、この後、TFT を保護するキャップ絶縁膜として、膜厚 600 nm の SiON 膜を形成する。なお、水素化処理工程は、該 SiON 膜形成後に行っても良い。この場合、SiNx \ SiON 膜は連続成膜することができる。このように、TFT 上には、SiON \ SiNx \ SiON の 3 層の絶縁膜が形成されることになるが、その構造や材料はこれらに限定されるものではない。また、これらの絶縁膜は、TFT を保護する機能をも有しているため、できるだけ形成しておくのが望ましい。

【0116】

次に、TFT 上に、層間膜 53 を形成する (図 23 (I))。層間膜 53 としては、ポリイミド、アクリル、ポリアミドや、シロキサン等の耐熱性有機樹脂を用いることができる。形成方法としては、その材料に応じて、スピコート、ディップ、スプレー塗布、液滴吐出法 (インクジェット法、スクリーン印刷、オフセット印刷等)、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を採用することができる。また、無機材料を用いてもよく、その際には、酸化珪素、窒化珪素、酸化珪素、PSG (リンガラス)、BPSG (リンボロンガラス)、アルミナ膜等を用いることができる。なお、これらの絶縁膜を積層させて、層間膜 53 を形成しても良い。

【0117】

さらに、層間膜 53 上に、保護膜 54 を形成しても良い。保護膜 54 としては、DLC (ダイヤモンドライクカーボン) 或いは窒化炭素 (CN) 等の炭素を有する膜、又は、酸化珪素膜、窒化珪素膜或いは窒化酸化珪素膜等を用いることができる。形成方法としては、プラズマ CVD 法や、大気圧プラズマ等を用いることができる。あるいは、ポリイミド、アクリル、ポリアミド、レジスト又はベンゾシクロブテン等の感光性又は非感光性の有機材料や、シロキサン等の耐熱性有機樹脂を用いてもよい。

【0118】

なお、層間膜53又は保護膜54と、後に形成される配線を構成する導電材料等との熱膨張率の差から生じる応力によって、これらの膜の剥離や、亀裂が生じるのを防ぐために、層間膜53又は保護膜54中にフィラーを混入させておいても良い。

【0119】

次に、レジストを形成した後、エッチングによりコンタクトホールを形成し、TF T同士の接続する配線51及び外部アンテナと接続するための接続配線21を形成する(図23(I))。コンタクトホール開孔時のエッチングに用いられるガスは、 CHF_3 と He の混合ガスを用いたが、これに限定されるものではない。また、配線51と接続配線21は同一材料を用いて同時に形成しても良いし、別々に形成しても良い。ここでは、TF Tと接続される配線51は、 $\text{Ti} \setminus \text{TiN} \setminus \text{Al-Si} \setminus \text{Ti} \setminus \text{TiN}$ の5層構造とし、スパッタ法によって形成した後、パターンニング形成した。

【0120】

なお、Al層において、Siを混入させることにより、配線パターンニング時のレジストベークにおけるヒロックの発生を防止することができる。また、Siの代わりに、0.5%程度のCuを混入させても良い。また、TiやTiNでAl-Si層をサンドイッチすることにより、耐ヒロック性がさらに向上する。なお、パターンニング時には、SiON等からなる上記ハードマスクを用いるのが望ましい。なお、配線の材料や、形成方法はこれらに限定されるものではなく、前述したゲート電極に用いられる材料を採用しても良い。

【0121】

なお、本実施例では、CPU73、メモリ74等を構成するTF T領域とアンテナと接続する端子部80のみを一体形成する場合について示したが、TF T領域とアンテナとを一体形成する場合にも、本実施例を適用できる。この場合には、層間膜53又は保護膜54上にアンテナを形成し、さらに、別の保護膜で覆うと良い。アンテナの導電材料としては、Ag、Au、Al、Cu、Zn、Sn、Ni、Cr、Fe、Co若しくはTi、又はそれらを含む合金を用いることができるが、これらに限定されるものではない。また、配線とアンテナで材料が異なっても良い。なお、配線及びアンテナは、展性、延性に富む金属材料を有するように形成し、さらに好ましくは膜厚を厚くして変形による応力に耐えるようにするのが望ましい。

【0122】

また、形成方法としては、スパッタ法によって全面成膜した後、レジストマスクを用いてパターンニングを行ってもよいし、液滴吐出法によってノズルから選択的に形成しても良い。なお、ここでいう液滴吐出法には、インクジェット法のみならず、オフセット印刷法やスクリーン印刷等も含まれる。配線とアンテナは、同時に形成しても良いし、一方を先に形成した後、他方が乗り上げるように形成しても良い。

【0123】

以上の工程を経て、TF Tからなる薄膜集積回路装置が完成する。なお、本実施例では、トップゲート構造としたが、ボトムゲート構造(逆スタガ構造)としてもよい。なお、TF Tのような薄膜能動素子部(アクティブエレメント)の存在しない領域には、下地絶縁膜材料、層間絶縁膜材料、配線材料が主として設けられているが、その領域は、薄膜集積回路装置全体の50%以上、好ましくは70~95%を占めていることが望ましい。これにより、IDチップを曲げやすくし、IDラベル等の完成品の取り扱いが容易となる。この場合、TF T部を含むアクティブエレメントの島状半導体領域(アイランド)は、薄膜集積回路装置全体の1~30%、好ましくは、5~15%を占めているのがよい。

【0124】

また、図23(I)に示すように、薄膜集積回路装置におけるTF Tの半導体層から下部の保護層までの距離(t_{under})と、半導体層から上部の層間膜(保護層が形成されている場合にはその保護層)までの距離(t_{over})が、等しく又は概略等しくなるように、上下の保護層又は層間膜の厚さを調整するのが望ましい。このようにして、半導体層を薄膜集積回路装置の中央に配置せしめることで、半導体層への応力を緩和することができ、

クラックの発生を防止することができる。

【実施例 8】

【0125】

本実施例では本発明の半導体装置は、ICカード、ICタグ、RFID、トランスポンダ、紙幣、有価証券、パスポート、電子機器、バッグ及び衣類に用いることができる。ここでは、ICカード、IDタグおよびIDチップなどの例について図18を用いて説明する。

【0126】

図18(A)はICカードであり、個人の識別用のほかに内蔵された回路のメモリが書き換え可能であることを利用して現金を使わずに代金の決済が可能なクレジットカード、あるいは電子マネーといったような使い方もできる。ICカード2000の中に本発明を用いた回路部2001を組み込んでいる。

【0127】

図18(B)はIDタグであり、個人の識別用のほかに、小型化可能であることから特定の場所での入場管理などに用いることができる。IDタグ2010の中に本発明を用いた回路部2011を組み込んでいる。

【0128】

図18(C)はスーパーマーケットなどの小売店で商品を扱う際の商品管理を行うためのIDチップ2022を商品に貼付した例である。本発明はIDチップ2022内の回路に適用される。このようにIDチップを用いることにより、在庫管理が容易になるだけでなく、万引きなどの被害を防ぐことも可能である。図面ではIDチップ2022が剥がれ落ちてしまうことを防ぐために接着を兼ねた保護膜2021を用いているが、IDチップ2022を接着剤により直接貼付するような構造を取っていてもよい。また、商品に貼付する構造上、実施例2で挙げたフレキシブル基板を用いて作製すると好ましい。

【0129】

図18(D)は商品製造時に識別用のIDチップを組み込んだ例である。図面では例としてディスプレイの筐体2030にIDチップ2031を組み込まれている。本発明はIDチップ2031内の回路に適用される。このような構造を取ることで製造元の識別、商品の流通管理などを容易に行うことができる。なお、図面ではディスプレイの筐体を例として取り上げているが、本発明はこれに限定されることはなく、さまざまな電子機器、物品に対して適用することが可能である。

【0130】

図18(E)は物品搬送用の荷札である。図面では荷札2040内にIDチップ2041が組み込まれている。本発明はIDチップ2041内の回路に適用される。このような構造を取ることで搬送先の選別や商品の流通管理などを容易に行うことができる。なお、図面では物品を縛るひも状のものにくくりつけるような構造を取っているが、本発明はこれに限定されることはなく、シール材のようなものを用いて物品に直接貼付するような構造を取ってもよい。

【0131】

図18(F)は書籍2050にIDチップ2052が組み込まれたものである。本発明はIDチップ2052内の回路に適用される。このような構造を取ることで書店における流通管理や図書館などでの貸し出し処理などを容易に行うことができる。図面ではIDチップ2052が剥がれ落ちてしまうことを防ぐために接着を兼ねた保護膜2051を用いているが、IDチップ2052を接着剤により直接貼付するような構造を取る、または書籍2050の表紙に埋め込む構造を取っていてもよい。

【0132】

図18(G)は紙幣2060にIDチップ2061が組み込まれたものである。本発明はIDチップ2061内の回路に適用される。このような構造を取ることで偽札の流通を阻止することが容易に行える。なお、紙幣の性質上ID2061チップが剥がれ落ちるのを防ぐために紙幣2060に埋め込むような構造を取るとより好ましい。本発明は紙

幣に限らず、有価証券、パスポートなど紙を材質にしたものに適用可能である。

【0133】

図18(H)は靴2070にIDチップ2072が組み込まれたものである。本発明はRFIDチップ2072内の回路に適用される。このような構造を取ることにより製造元の識別、商品の流通管理などを容易に行うことができる。図面ではIDチップ2072が剥がれ落ちてしまうことを防ぐために接着を兼ねた保護膜2071を用いているが、IDチップ2072を接着剤により直接貼付するような構造を取る、または靴2070に埋め込む構造を取っていてもよい。本発明は靴に限らず、バッグ、衣類など身に付けるものに適用可能である。

【0134】

セキュリティ確保を目的として、多様な物品へIDチップを実装する場合を説明する。セキュリティ確保とは、盗難防止又は偽造防止の面から捉えることができる。

【0135】

盗難防止の例として、バッグにIDチップを実装する場合を説明する。図25に示すように、バッグ2501にIDチップ2502を実装する。例えば、バッグ2501の底又は側面の一部等にIDチップ2502を実装することができる。IDチップ2502は非常に薄型で小さいため、バッグ2501のデザイン性を低下させずに実装することができる。加えてIDチップ2502は透光性を有し、盗難者はID2502チップが実装されているかを判断しにくい。そのため、盗難者によってIDチップ2502が取り外される恐れがない。

【0136】

このようなIDチップ実装バッグが盗難された場合、例えばGPS(Global Positioning System)を用いてバッグの現在位置に関する情報を得ることができる。なおGPSとは、GPS用の衛星から送られる信号をとらえてその時間差を求め、これをもとに測位するシステムである。

【0137】

また盗難された物品以外にも忘れ物や落とし物を、GPSを用いて現在位置に関する情報を得ることができる。

【0138】

またバッグ以外にも、自動車、自転車等の乗り物、時計やアクセサリにIDチップを実装することができる。

【0139】

次に偽造防止の例として、パスポートや免許証等にIDチップを実装する場合を説明する。

【0140】

図26(A)に、IDチップを実装したパスポート2601を示す。図26(A)ではIDチップ2602がパスポート2601の表紙に実装されているが、その他のページに実装してもよく、IDチップ2602は透光性を有するため表面に実装してもよい。またIDチップ2602を表紙等の材料で挟み込むようにし、表紙の内部に実装することも可能である。

【0141】

図26(B)には、IDチップを実装した免許証2603を示す。図26(B)では、IDチップ2604が免許証2603の内部に実装されている。またIDチップ2604は透光性を有するため、免許証2603の印刷面上に設けてもかまわない。例えば、IDチップ2604は免許証2603の印字面上に実装し、ラミネートで覆うことができる。またIDチップ2604を免許証2603の材料で挟み込むようにし、内部に実装することも可能である。

【0142】

以上のような物品にIDチップを実装することにより、偽造を防止することができる。また上述したバッグにIDチップを実装し、偽造を防止することもできる。加えて非常に

薄型で小さい I D チップを用いるため、パスポートや免許証等のデザイン性を損ねることがない。さらに I D チップは透光性を有するため、表面に実装してもかまわない。

【0 1 4 3】

また I D チップにより、パスポートや免許証等の管理を簡便に行うことができる。さらにパスポートや免許証等に直接情報を記入することなく、I D チップに保存することができるため、プライバシーを守ることができる。

【0 1 4 4】

安全管理を行うため、食料品等の商品へ I D F チップを実装する場合を図 2 7 を用いて説明する。

I D チップ 2 7 0 3 を実装したラベル 2 7 0 2 と、当該ラベル 2 7 0 2 が貼られた肉のパック 2 7 0 1 を示す。I D チップ 2 7 0 3 はラベル 2 7 0 2 の表面に実装していてもよいし、ラベル 2 7 0 2 内部に実装してもよい。また野菜等の生鮮食品の場合、生鮮食品を覆うラップに I D チップを実装してもよい。

【0 1 4 5】

I D チップ 2 7 0 3 には、商品の生産地、生産者、加工年月日、賞味期限等の商品に関する基本事項、さらには商品を用いた調理例等の応用事項を記録することができる。このような基本事項は、書き換える必要がないため M R O M 等の書き換え不能なメモリを用いて記録するとよい。またこのような応用事項は、E E R O M 等の書き換え、消去可能なメモリを用いて記録するとよい。

【0 1 4 6】

また食料品の安全管理を行うためには、加工前の動植物の状態を知り得ることが重要である。そのため、動植物内に I D チップを埋め込み、リーダ装置によって動植物に関する情報を取得するとよい。動植物に関する情報とは、飼育地、飼料、飼育者、伝染病の感染の有無等である。

【0 1 4 7】

また I D チップに、商品の値段が記録されていれば、従来のバーコードを用いる方式よりも、簡便、短時間に商品の精算を行うことが可能となる。すなわち、I D チップが実装された複数の商品を一挙に精算することができる。但し、このように複数の I D チップを読み取る場合、アンチコリジョン機能をリーダ装置に搭載する必要がある。

【0 1 4 8】

さらに I D チップの通信距離によっては、レジスタと商品との距離が遠くても、商品の精算を可能とすることができる。また I D チップは万引き防止にも役立つ。

【0 1 4 9】

さらに I D チップは、バーコード、磁気テープ等のその他の情報媒体と併用することもできる。例えば、I D チップには書き換え不要の基本事項を記録し、バーコードには更新すべき情報、例えば値引き価格や特価情報を記録するとよい。バーコードは I D チップと異なり、情報の修正を簡便に行うことができるからである。

【0 1 5 0】

このように I D チップを実装することにより、消費者へ提供できる情報を増大させることができるため、消費者は安心して商品を購入することができる。

【0 1 5 1】

物流管理を行うため、ビール瓶等の商品へ I D チップを実装する場合を説明する。図 2 8 (A) に示すように、ビール瓶に I D チップ 2 8 0 2 を実装する。例えば、ラベル 2 8 0 1 を用いて I D チップ 2 8 0 2 を実装することができる。

【0 1 5 2】

I D チップには、製造日、製造場所、使用材料等の基本事項を記録する。このような基本事項は、書き換える必要がないため M R O M 等の書き換え不能なメモリを用いて記録するとよい。加えて I D チップには、各ビール瓶の配送先、配送日時等の個別事項を記録する。例えば、図 2 8 (B) に示すように、各ビール瓶 2 8 0 3 がベルトコンベア 2 8 0 6 により流れ、ライタ装置 2 8 0 5 を通過するときに、ラベル 2 8 0 4 に内蔵された I D チップ

ップ 2807 に各配送先、配送日時を記録することができる。このような個別事項は、E R O M 等の書き換え、消去可能なメモリを用いて記録するとよい。

【0153】

また配達先から購入された商品情報がネットワークを通じて物流管理センターへ送信されると、この商品情報に基づき、ライタ装置又は当該ライタ装置を制御するパーソナルコンピュータ等が配送先や配送日時を算出し、I D チップへ記録するようなシステムを構築するとよい。

【0154】

また配達にはケース毎に行われるため、ケース毎、又は複数のケース毎に I D チップを実装し、個別事項を記録することもできる。

【0155】

このような複数の配達先が記録されうる飲料品は、I D チップを実装することにより、手作業で行う入力にかかる時間を削減でき、それに起因した入力ミスを低減することができる。加えて物流管理の分野において最もコストのかかる人件費用を削減することができる。従って、I D チップを実装したことにより、ミスの少ない、低コストな物流管理を行うことができる。

【0156】

さらに配達先において、ビールに合う食料品や、ビールを使った料理法等の応用事項を記録してもよい。その結果、食料品等の宣伝を兼ねることができ、消費者の購買意欲を高めることができる。このような応用事項は、E E R O M 等の書き換え、消去可能なメモリを用いて記録するとよい。このように I D チップを実装することにより、消費者へ提供できる情報を増大させることができるため、消費者は安心して商品を購入することができる。

【0157】

製造管理を行うため、I D チップを実装した製造品と、当該 I D チップの情報に基づき制御される製造装置（製造ロボット）について説明する。

【0158】

現在、オリジナル商品を生産する場面が多くみられ、このような場合、生産ラインでは当該商品のオリジナル情報に基づくように生産する。例えば、ドアの塗装色を自由に選択することができる自動車の生産ラインにおいては、自動車の一部に I D F チップを実装し、当該 I D チップからの情報に基づき、塗装装置を制御する。そしてオリジナルな自動車を生産することができる。

I D チップを実装する結果、事前に生産ラインに投入される自動車の順序や同色を有する数を調整する必要がない。強いては、自動車の順序や数それに合わせるように塗装装置を制御するプログラムを設定しなくてすむ。すなわち製造装置は、自動車に実装された I D チップの情報に基づき、個別に動作することができる。

【0159】

このように I D チップはさまざまな場所で使用することができる。そして I D チップに記録された情報により、製造に関する固有情報を得ることができ、当該情報に基づき製造装置を制御することができる。

【0160】

次に、本発明の I D チップを用いた I C カードを、電子マネーとして利用する形態について説明する。図 29 に、I C カード 2901 を用いて、決済を行っている様子を示す。I C カード 2901 は、本発明の I D チップ 2902 を有している。I C カード 2901 の利用の際には、レジスタ 2903、リーダ／ライタ 2904 を用いる。I D チップ 2902 には、I C カード 2901 に入金されている金額の情報が保持されており、リーダ／ライタ 2904 はその金額の情報を非接触で読み取り、レジスタ 2903 に送信することができる。レジスタ 2903 では、I C カード 2901 に入金されている金額が、決済する金額以上であることを確認し、決済を行う。そしてリーダ／ライタ 2904 に決済後の残額の情報を送信する。リーダ／ライタ 2904 はその残額の情報を、I C カード 290

1のIDチップ2902に書き込むことができる。

【0161】

なおリーダ／ライタ2904に、暗証番号などを入力することができるキー2905を付加し、第三者によってICカード2901を用いた決済が無断で行われるのを制限できるようにしても良い。

なお、本実施例に示した例はごく一例であり、これらの用途に限定するものではないことを付記する。

【0162】

以上の様に、本発明の適用範囲は極めて広く、あらゆる物品の固体認識用のチップとして適用することが可能である。また、本実施例は実施形態、実施例1～10のどのような組み合わせからなる構成を用いても実現することができる。

【図面の簡単な説明】

【0163】

【図1】 本発明の半導体装置の構成を示すブロック図。

【図2】 従来の半導体装置の構成を示すブロック図。

【図3】 従来の半導体装置の構成を示すブロック図。

【図4】 RFタグシステムの概要を示す図。

【図5】 2T2CF eRAMの回路構成を示す図。

【図6】 FeRAMの構成を示す図。

【図7】 1T1CF eRAMの回路構成を示す図。

【図8】 強誘電体材料のヒステリシスを示す図。

【図9】 本発明の論理回路のブロック図。

【図10】 本発明のアンテナの実施例を示す図。

【図11】 本発明のアンテナの実施例を示す図。

【図12】 メモリ回路に記憶されるデータの例を示す図。

【図13】 本発明の論理回路のブロック図。

【図14】 本発明の工程断面図。

【図15】 本発明の工程断面図。

【図16】 本発明の工程断面図。

【図17】 本発明の工程断面図。

【図18】 本発明の応用例を示す図。

【図19】 本発明におけるTFTの配置を示す図。

【図20】 本発明の安定電源回路の例を示す図。

【図21】 本発明の半導体装置と保護層を組み合わせた図。

【図22】 本発明の工程断面図。

【図23】 本発明の工程断面図。

【図24】 本発明の工程断面図。

【図25】 本発明を用いたバッグを示す図。

【図26】 本発明を用いた証明書を示す図。

【図27】 本発明を用いた食料品管理を説明する図。

【図28】 本発明を用いた物流管理を説明する図。

【図29】 本発明を用いたICカード決済を説明する図。

【符号の説明】

【0164】

21 接続配線、51 配線、53 層間膜、54 保護膜、55 保護膜、56 ゲート電極、57 島状半導体膜、58 ゲート絶縁膜、60 基板、61 剥離層、62 レジスト、63 レジスト、64 不純物元素、65 低濃度不純物領域、66 レジスト、67 不純物元素、68 高濃度不純物領域、69 n型TFT、70 p型TFT、71 n型TFT、72 p型TFT、73 CPU、74 メモリ、75 絶縁膜、76 サイドウォール、77 レジスト、78 不純物元素、79 高濃度不純物領域、

80 端子部。

100 半導体装置、101 アンテナ回路、102 整流回路、103 安定電源回路、104 変調回路、105 アンプ、106 論理回路、107 復調回路、108 アンプ、109 論理回路、110 FeRAMコントロール回路、111 FeRAM回路。

200 半導体装置、201 アンテナ回路、202 整流回路、203 安定電源回路、204 変調回路、205 アンプ、206 論理回路、207 復調回路、208 アンプ、209 論理回路、210 メモリコントロール回路、211 メモリ回路。
301 アンテナ、302 同調容量、303、304 ダイオード、305 平滑容量。

401 IDチップ、402 アンテナユニット、403 質問器、404 バッグ。

500 メモリセル、501 ビット線デコーダー、502 ワード線デコーダー、503 プレート線デコーダー、504 プリチャージ回路、505~512 n型メモリトランジスタ(トランジスタ)、513~520 強誘電体容量素子、521~524 ビット線、525、526 ワード線、527、528 プレート線、529、530 センスアンプ、531、532 センスアンプ選択スイッチ、533~536 プリチャージスイッチ、537~540 ビット線選択スイッチ、541、542 入力端子、543 出力端子。

700 メモリセル、701 ビット線デコーダー、702 ワード線デコーダー、703 プレート線デコーダー、704 プリチャージ回路、705~708 n型メモリトランジスタ(トランジスタ)、709~712 強誘電体容量素子、713、714 ビット線、715、716 ワード線、717、718 プレート線、719、720 センスアンプ、721、722 センスアンプ選択スイッチ、723、724 プリチャージスイッチ、725、726 ビット線選択スイッチ、727 入力端子、728 出力端子。

901 デコード回路、902 デイレイ回路、903 スイッチ、904 1ビットFeRAM回路。

1000 基板、1001 アンテナ、1002 回路、1003 基板、1004 アンテナ、1005 回路、1006 基板、1007 アンテナ、1008 回路、1009 基板、1010 アンテナ、1011 回路、1012 基板、1013 アンテナ、1014 回路、1100 上部基板、1101 アンテナ配線。

1301 デコード回路、1302 デイレイ回路、1303 スイッチ、1304 揮発性メモリ回路。

2000 ICカード、2001 回路部、2010 IDタグ、2011 回路部、2020 商品、2021 保護膜、2022 IDチップ、2030 筐体、2031 IDチップ、2040 荷札、2041 IDチップ、2050 書籍、2051 保護膜、2052 IDチップ、2060 紙幣、2061 IDチップ、2070 靴、2071 保護膜、2072 IDチップ。

2201 抵抗、2202 トランジスタ、2203 トランジスタ、2204 電流供給用抵抗、2205~2209 トランジスタ、2210 抵抗。

2301 フレキシブル保護層(保護層)、2302 IDチップ、2303 フレキシブル保護層(保護層)、2304 アンテナ、

2501 バッグ、2502 IDチップ。

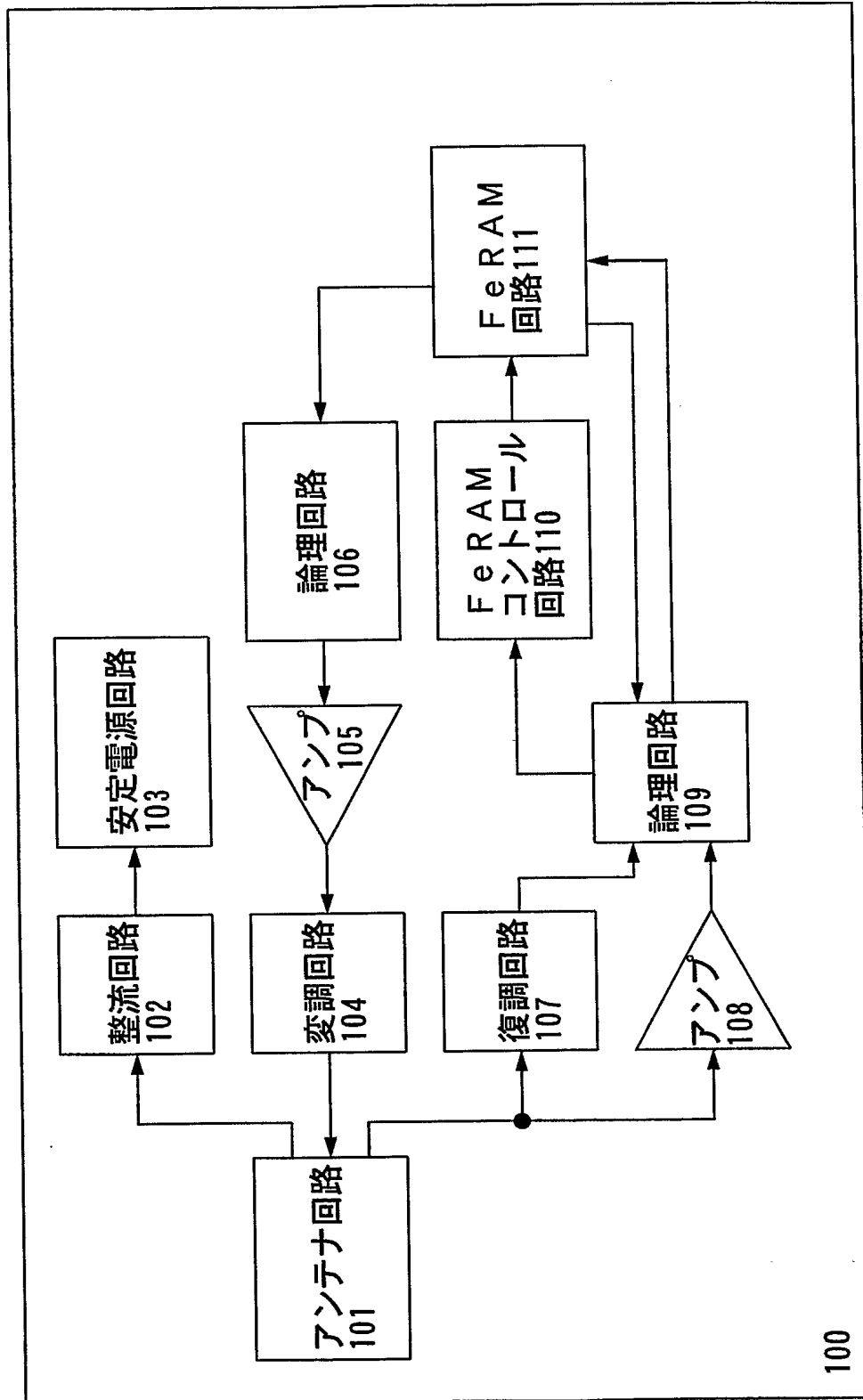
2601 パスポート、2602 IDチップ、2603 免許証、2604 IDチップ。

2701 パック、2702 ラベル、2703 IDチップ。

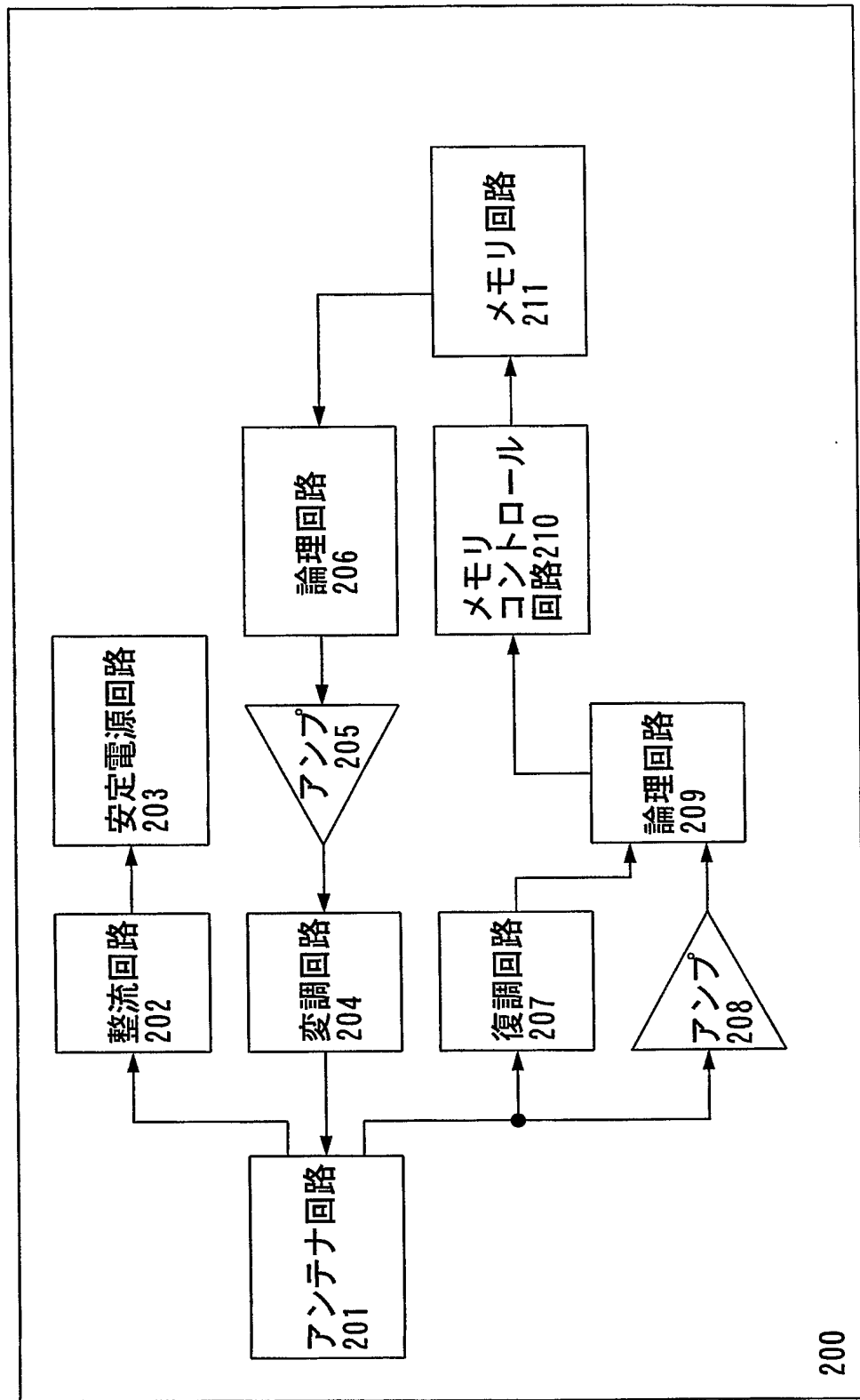
2801 ラベル、2802 IDチップ、2803 ビール瓶、2804 ラベル、2805 ライタ装置、2806 ベルトコンベア、2807 IDチップ。

2901 ICカード、2902 IDチップ、2903 レジスタ、2904 リーダ/ライタ、2905 キー。

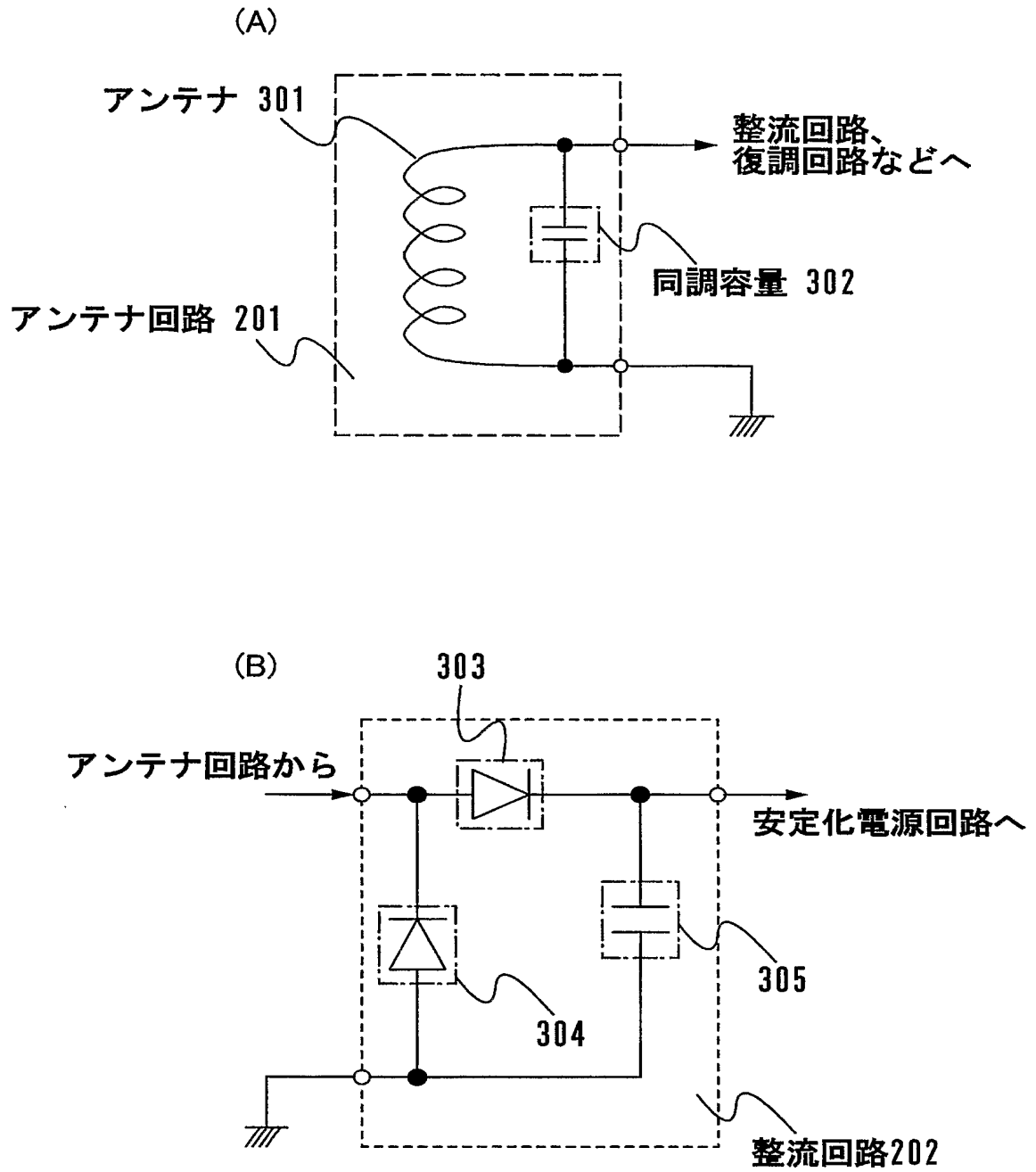
【書類名】 図面
【図 1】



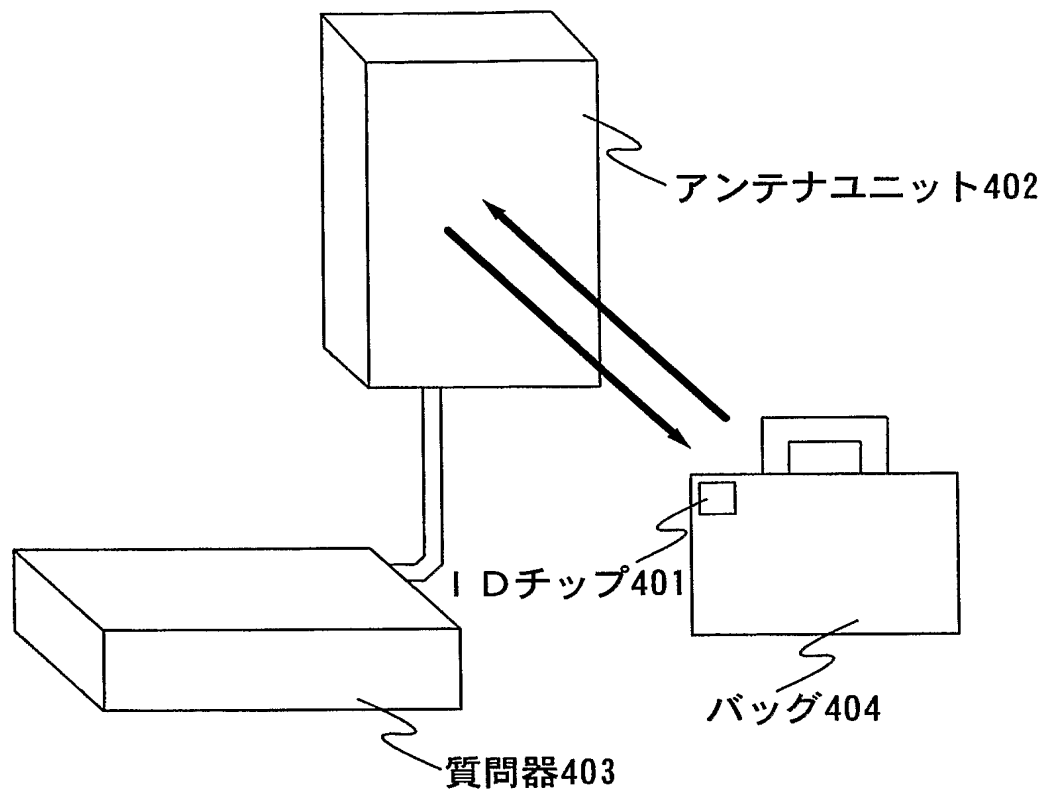
【図 2】



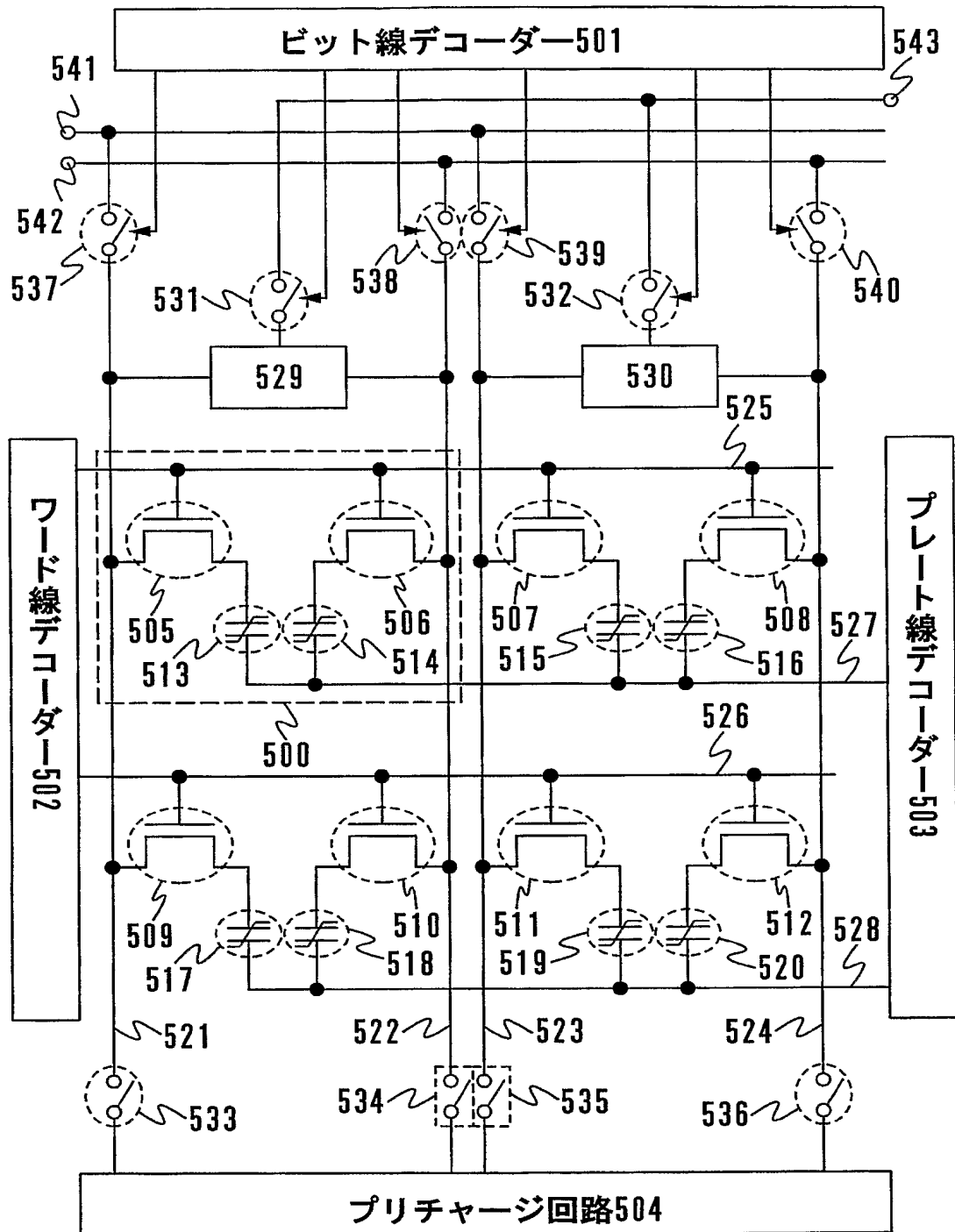
【図 3】



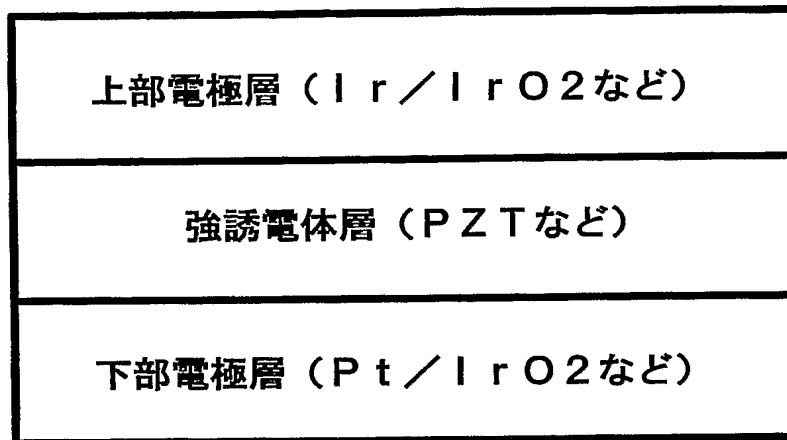
【図 4】



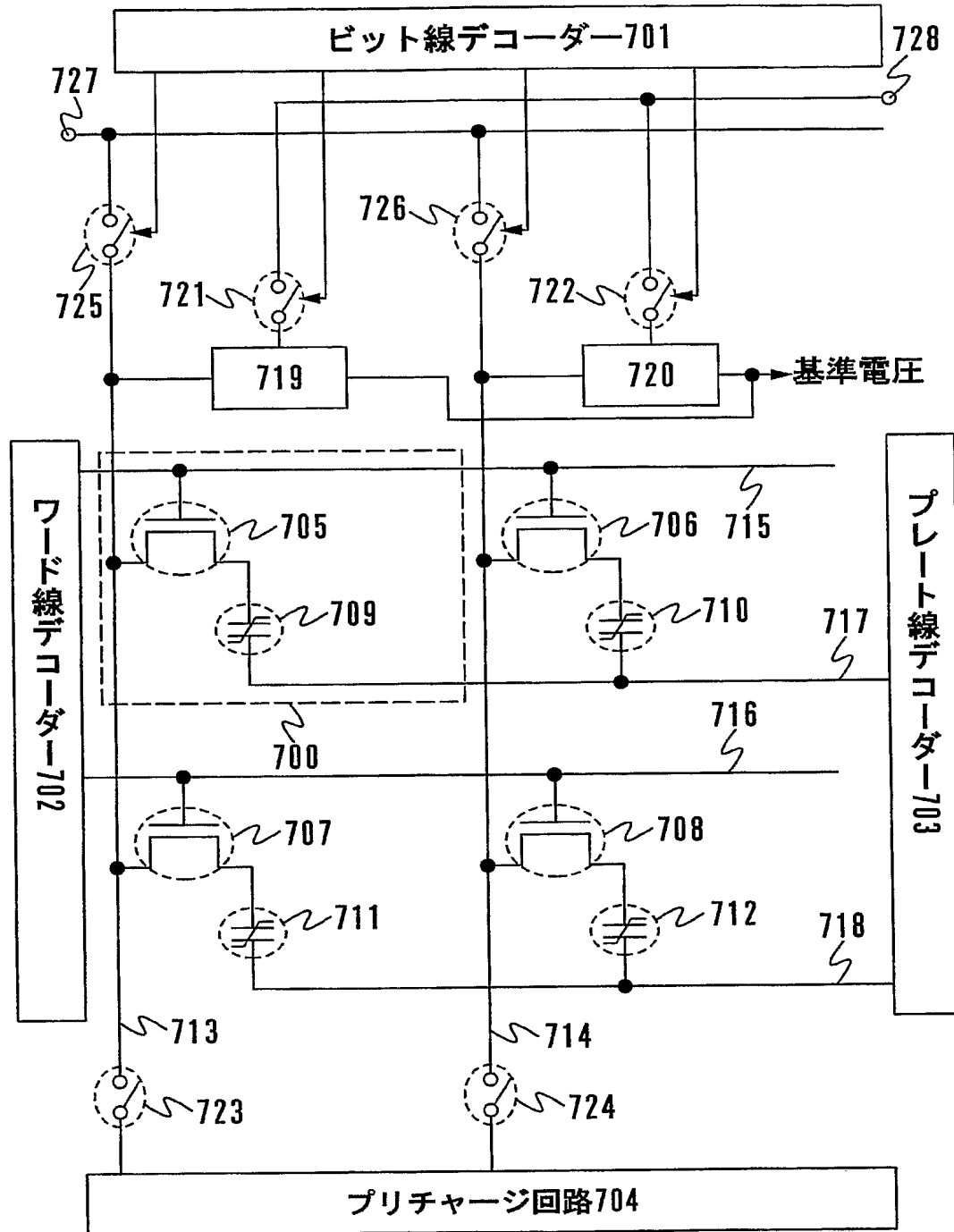
【図 5】



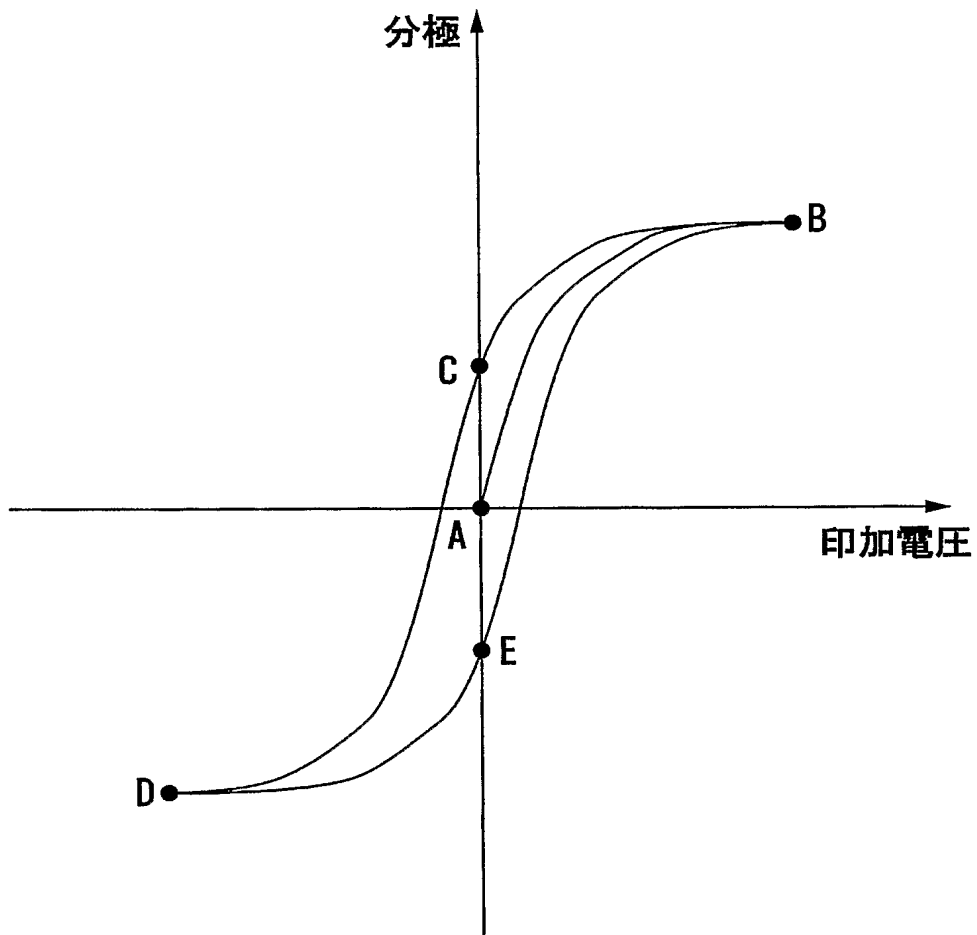
【図 6】



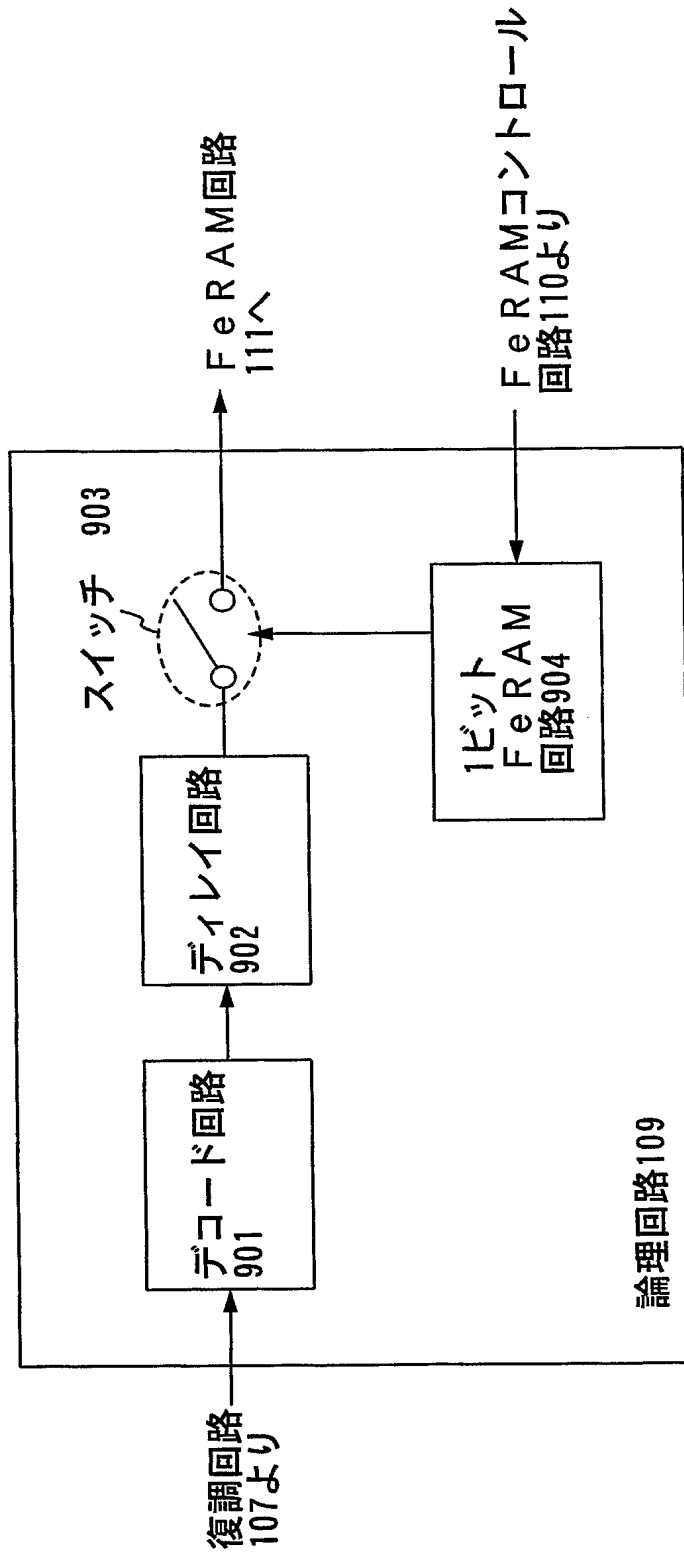
【図 7】



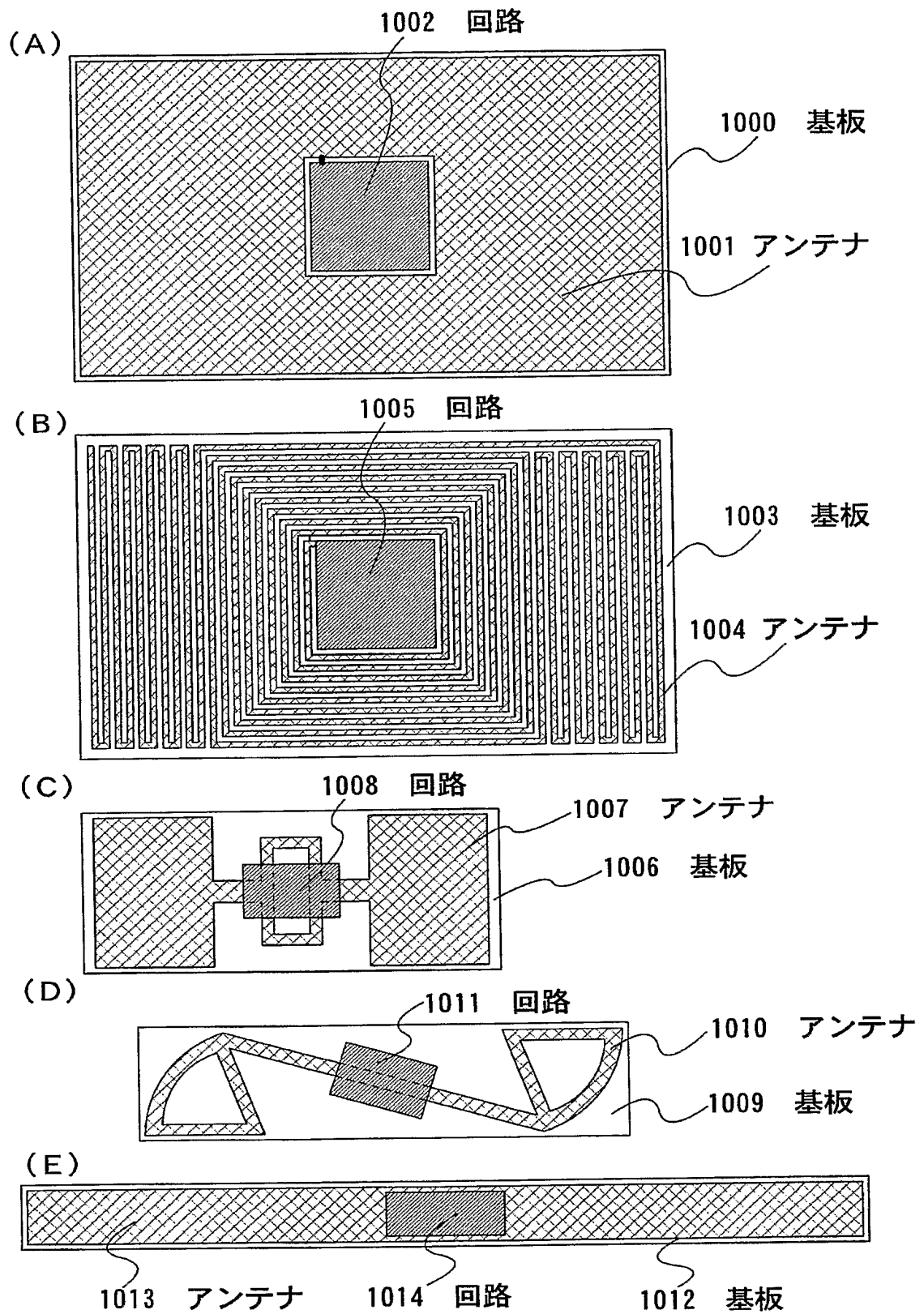
【図 8】



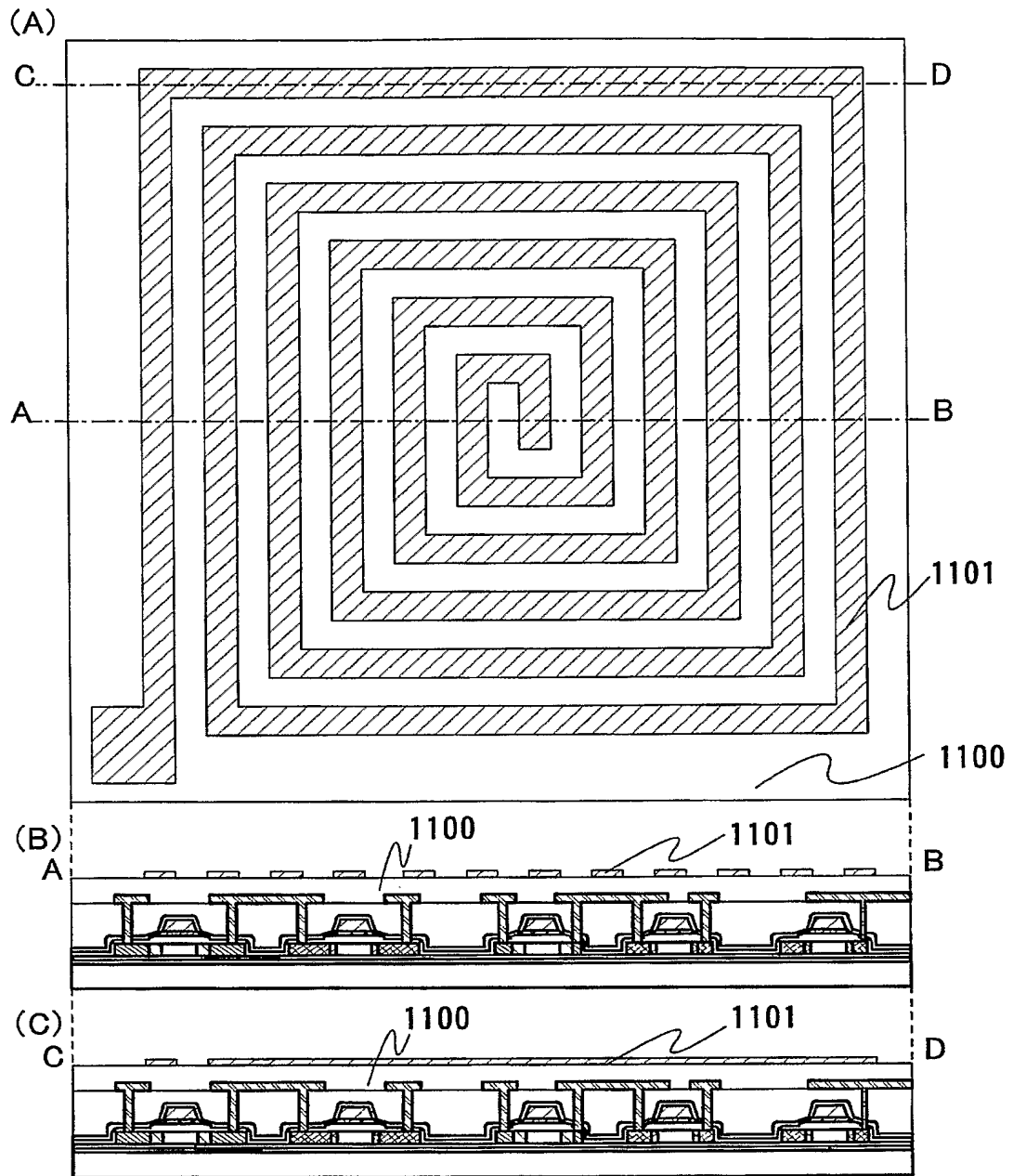
【図 9】



【図 10】



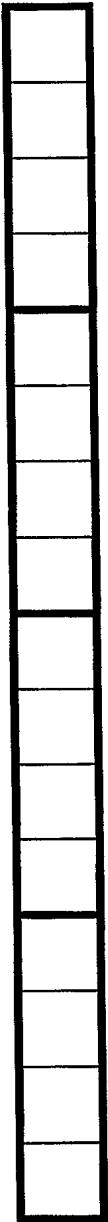
【図 11】



1100 : 上部基板
1101 : アンテナ配線

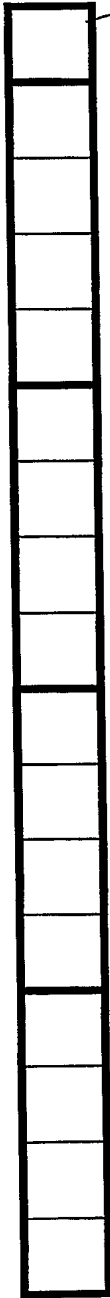
【図 12】

(A)



ファミリコード (4バイト) アプリケーションコード (4バイト) ユーザコード1 (4バイト) ユーザコード2 (4バイト)

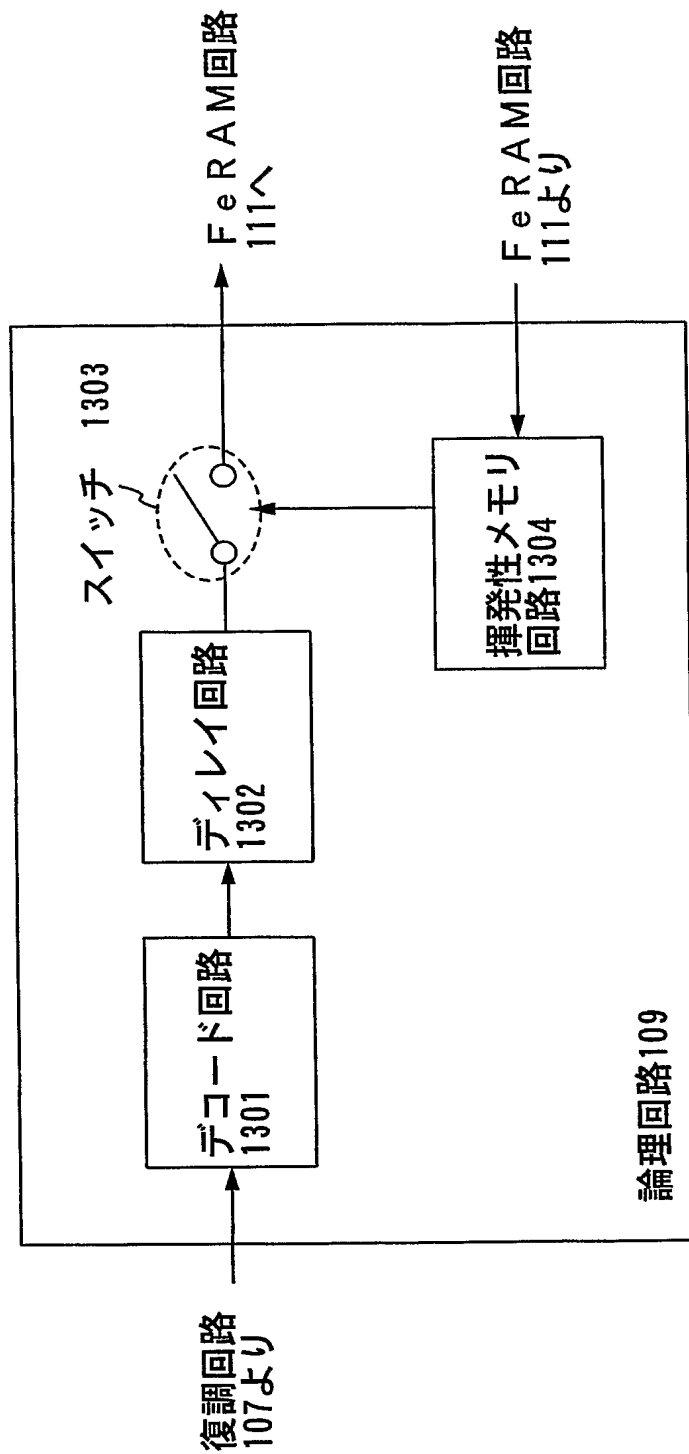
(B)



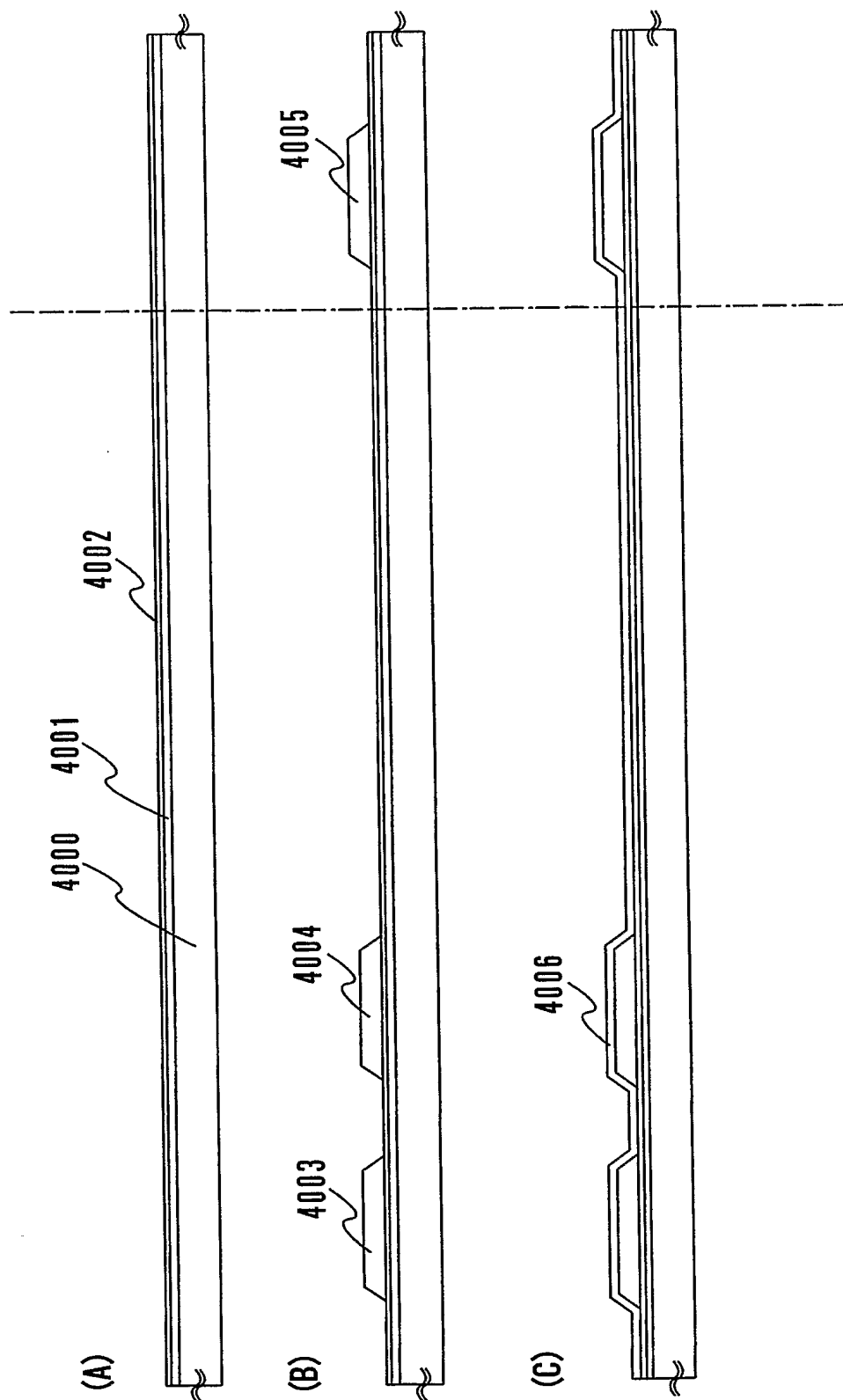
ファミリコード (4バイト) アプリケーションコード (4バイト) ユーザコード1 (4バイト) ユーザコード2 (4バイト)

書込み記憶ビット
(1ビット)

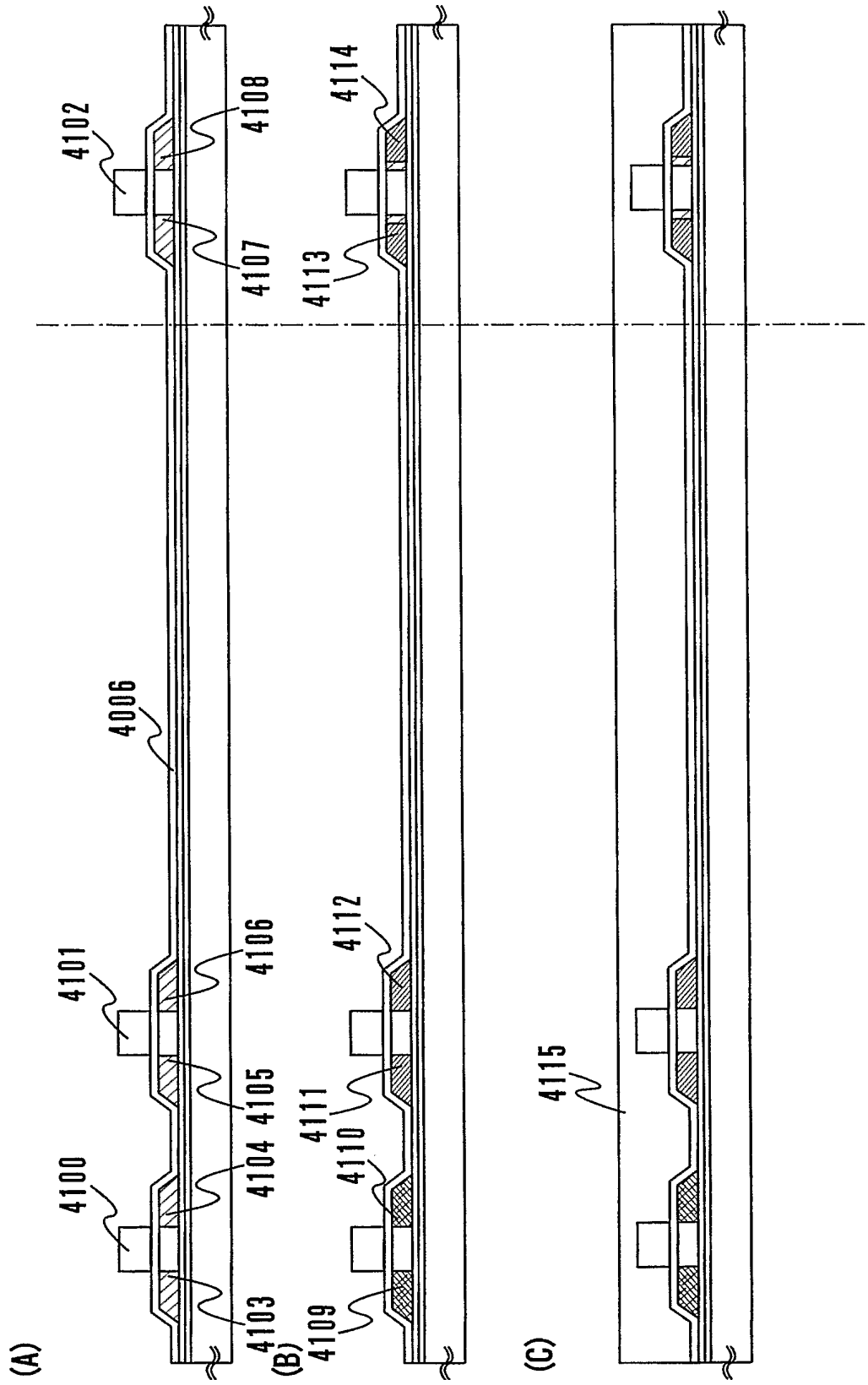
【図 13】



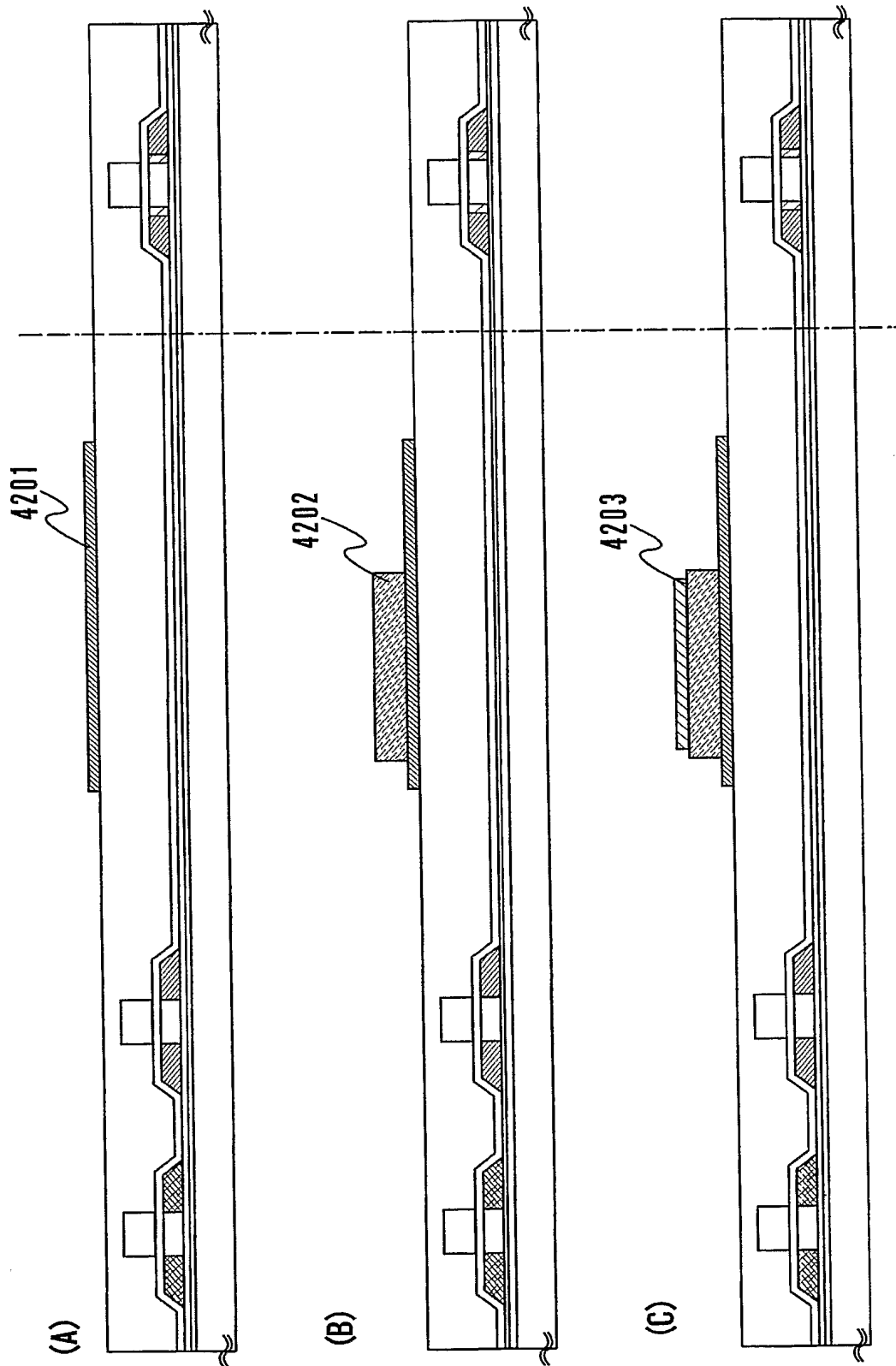
【図 14】



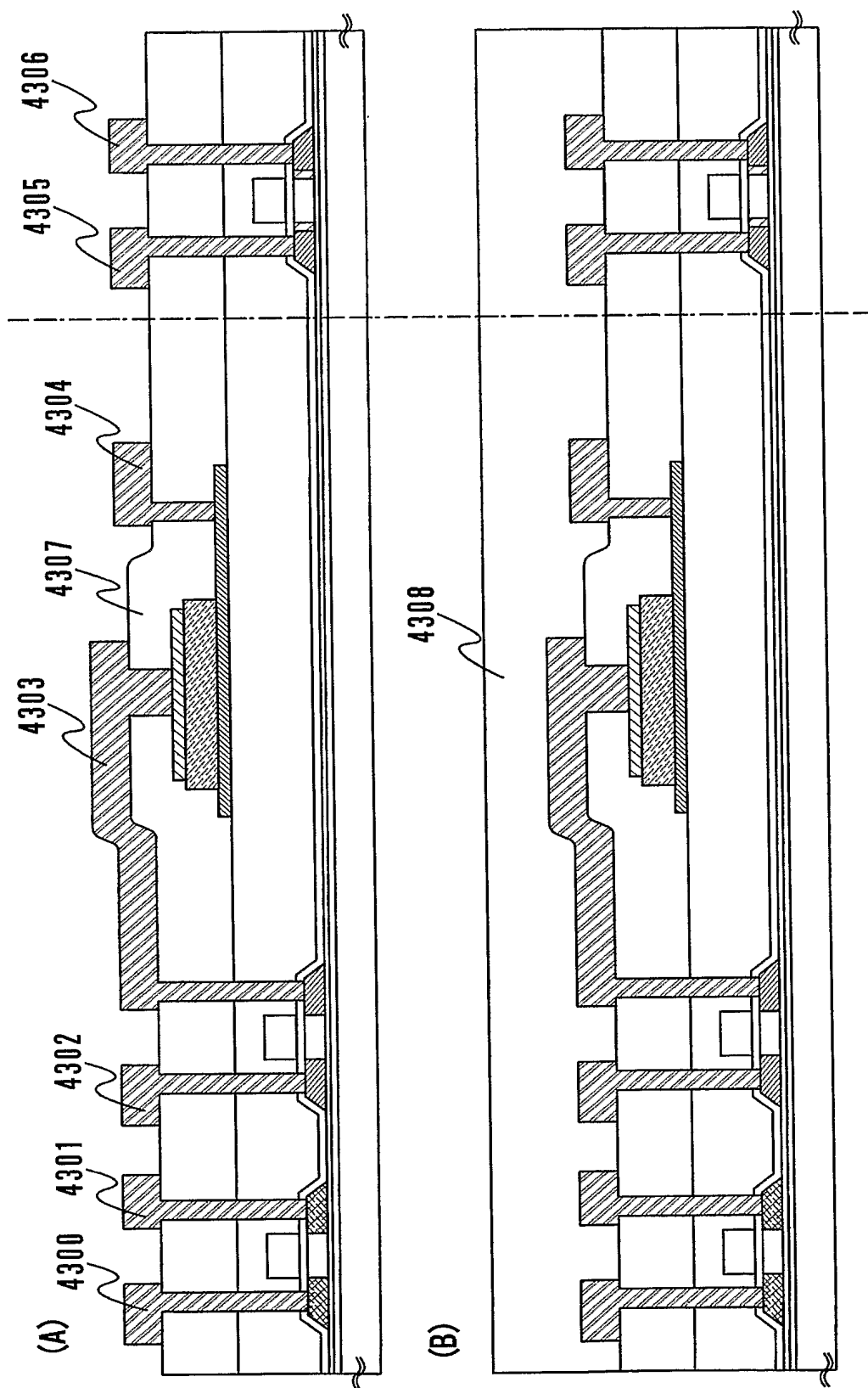
【図 15】



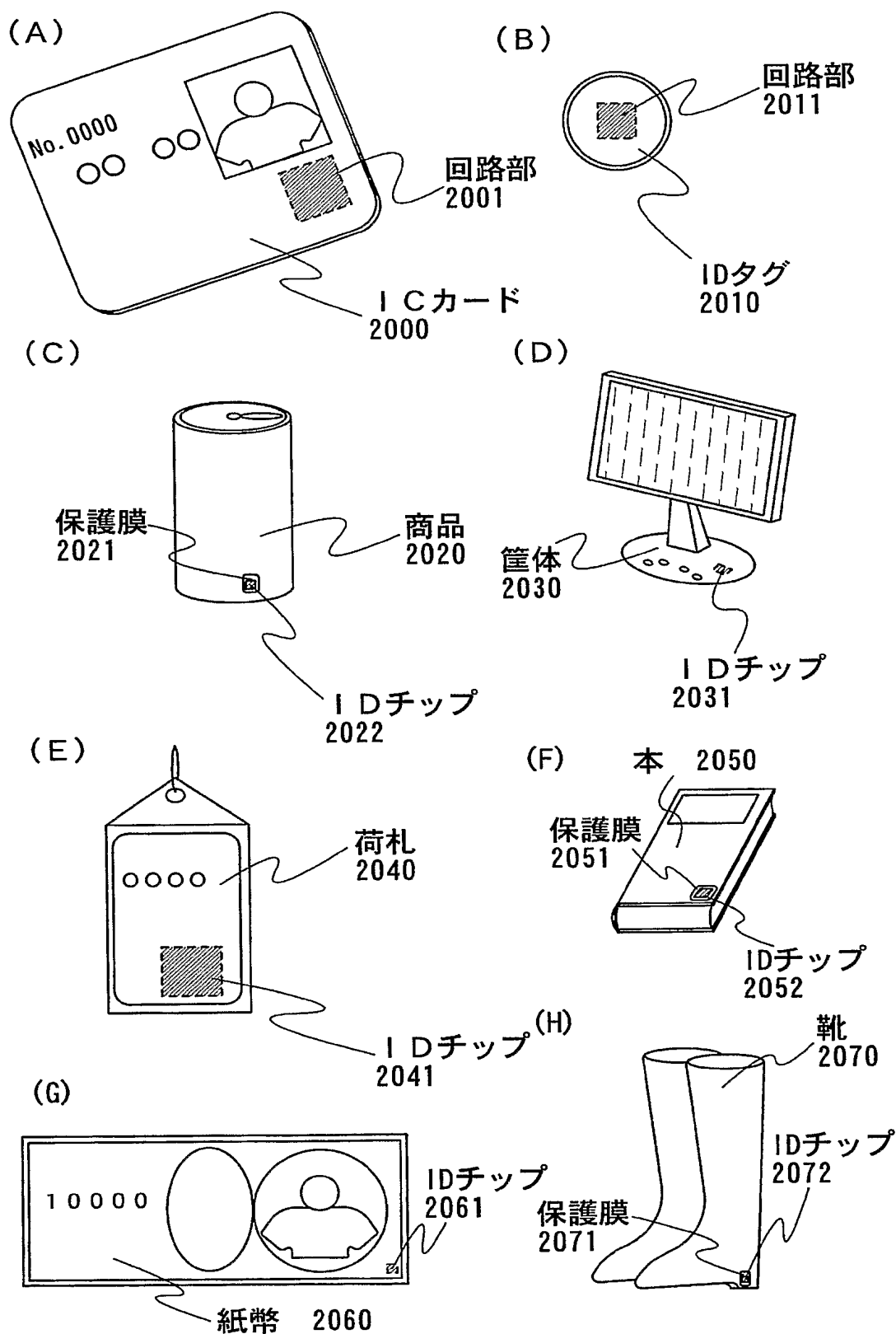
【図 16】



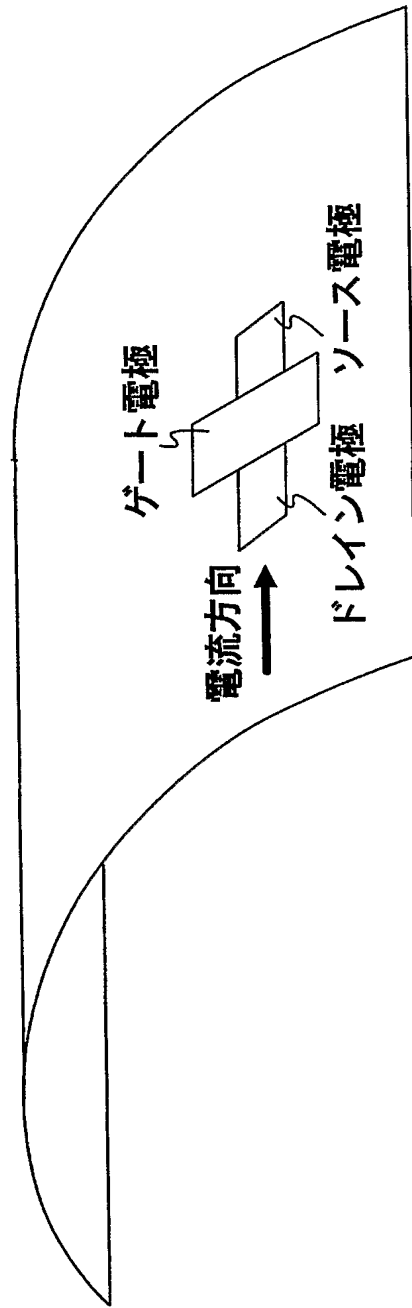
【図 17】



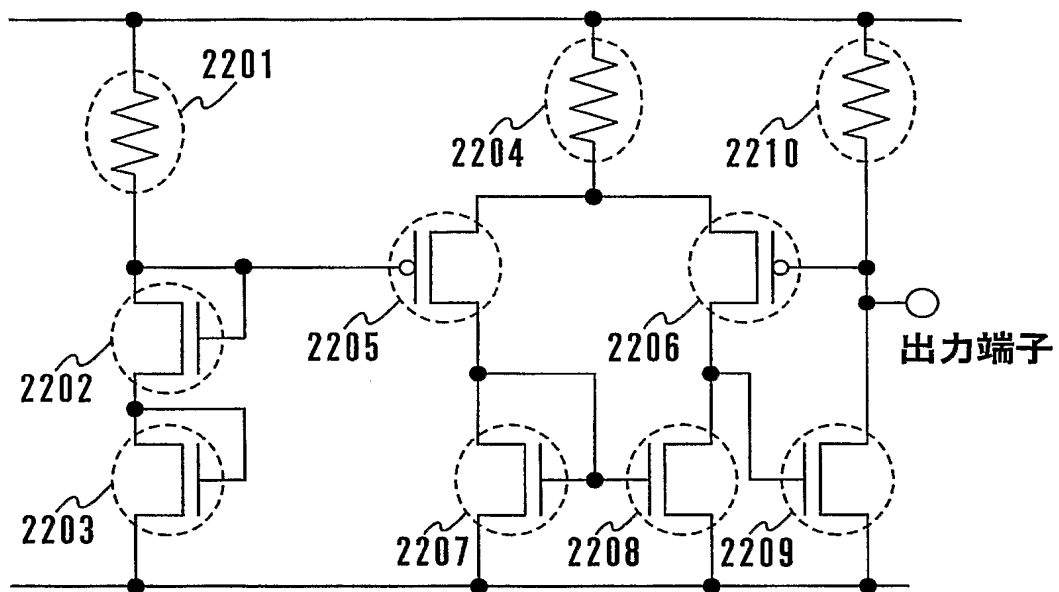
【図 18】



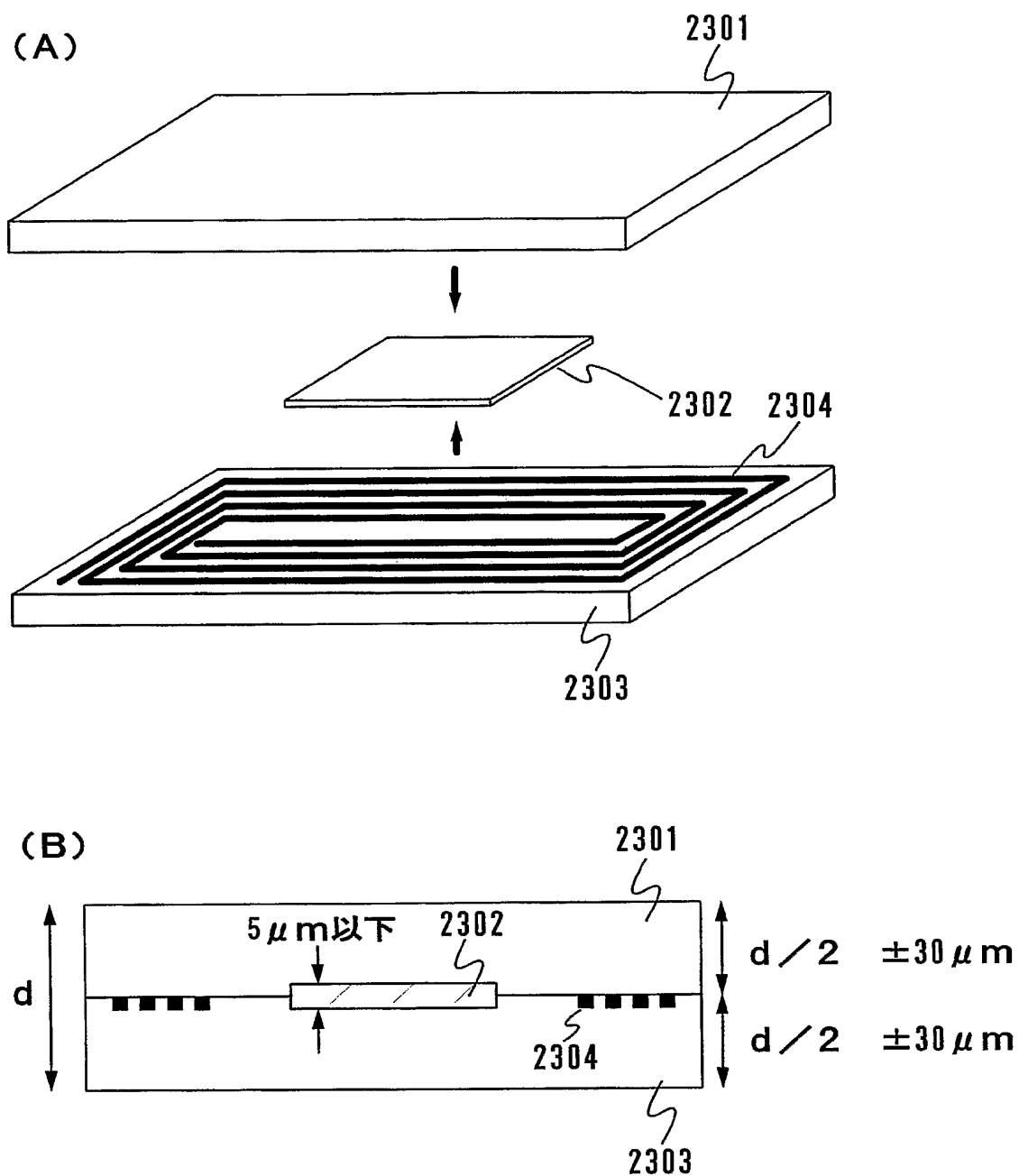
【図 19】



【図 20】

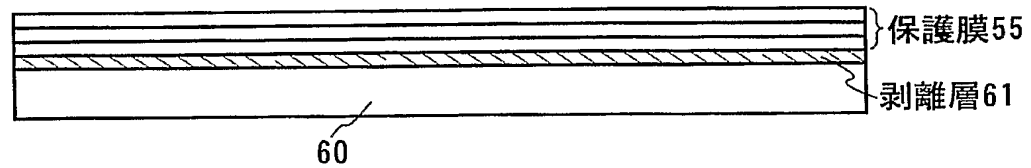


【図 21】

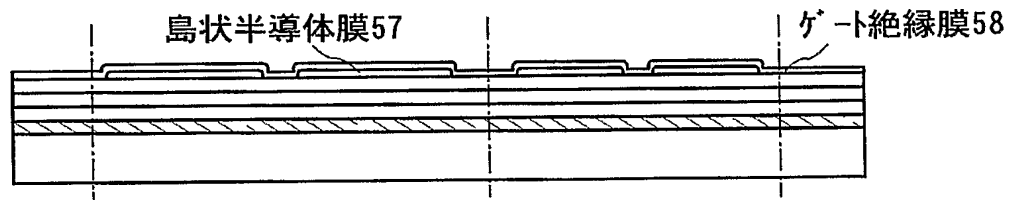


【図 22】

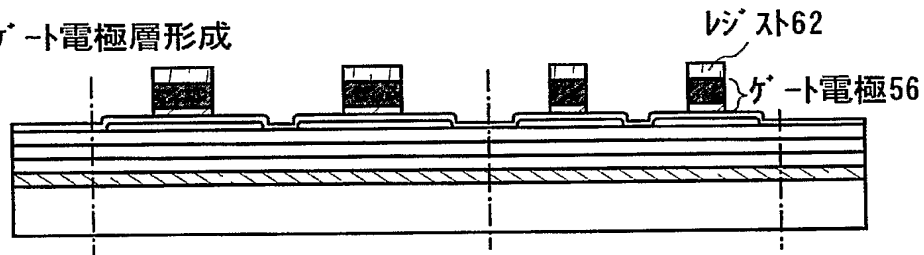
(A) 剥離層\保護膜形成



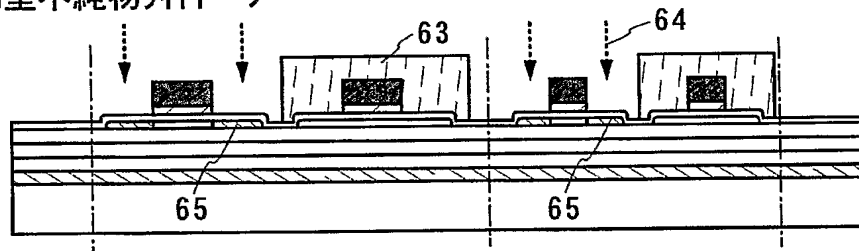
(B) 島状半導体膜\ゲート絶縁膜形成



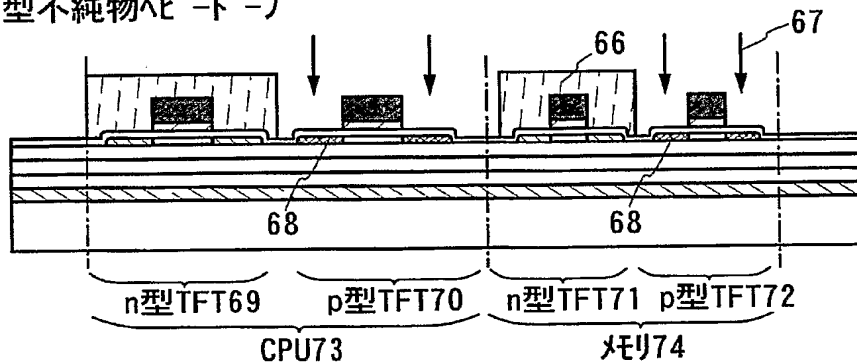
(C) ゲート電極層形成



(D) n型不純物ライトニング

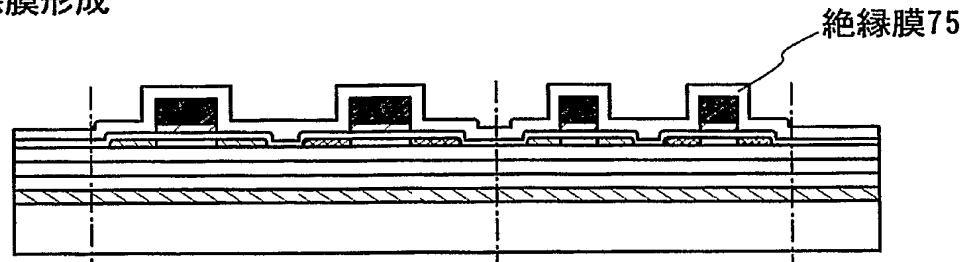


(E) p型不純物ライトニング

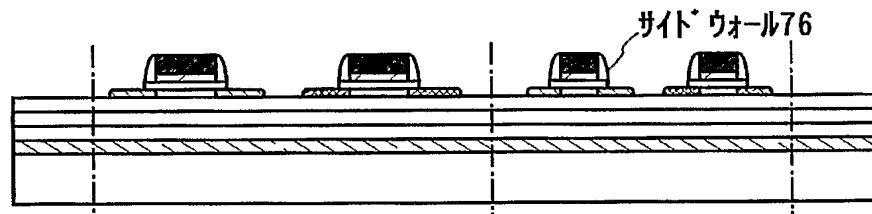


【図 23】

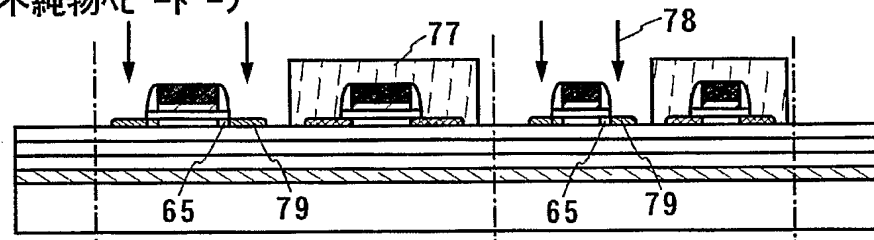
(F) 絶縁膜形成



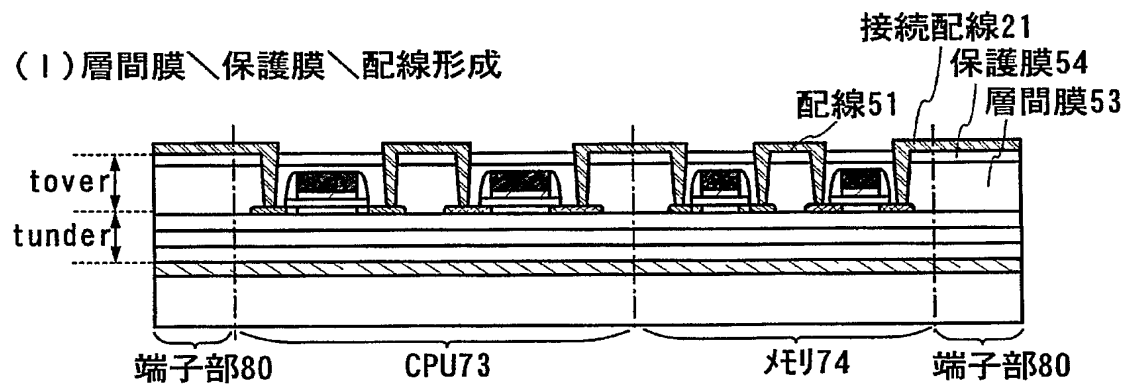
(G) イッチバック (サイドウォール形成)



(H) n型不純物へいどーぷ

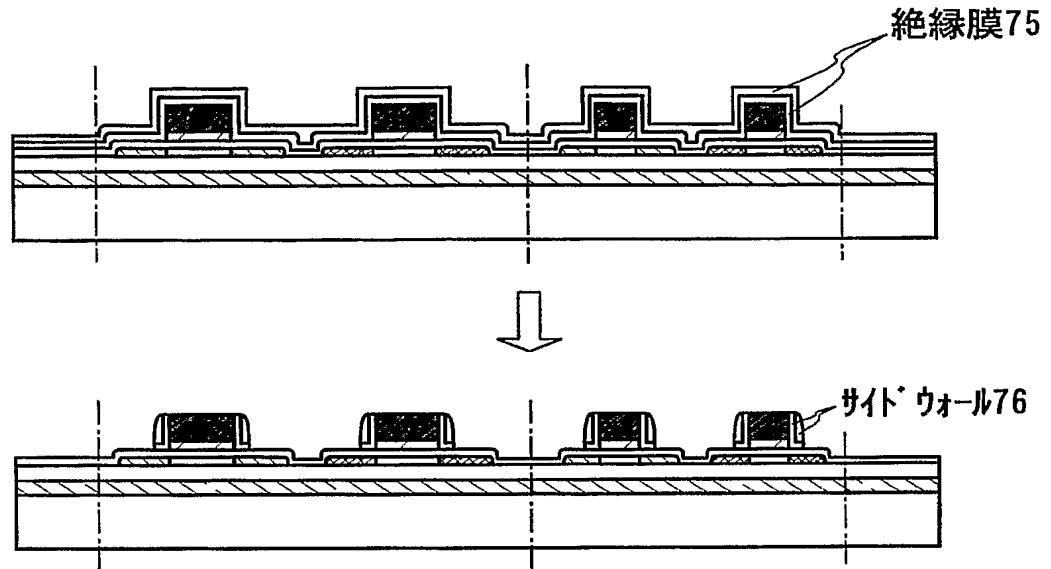


(I) 層間膜\保護膜\配線形成

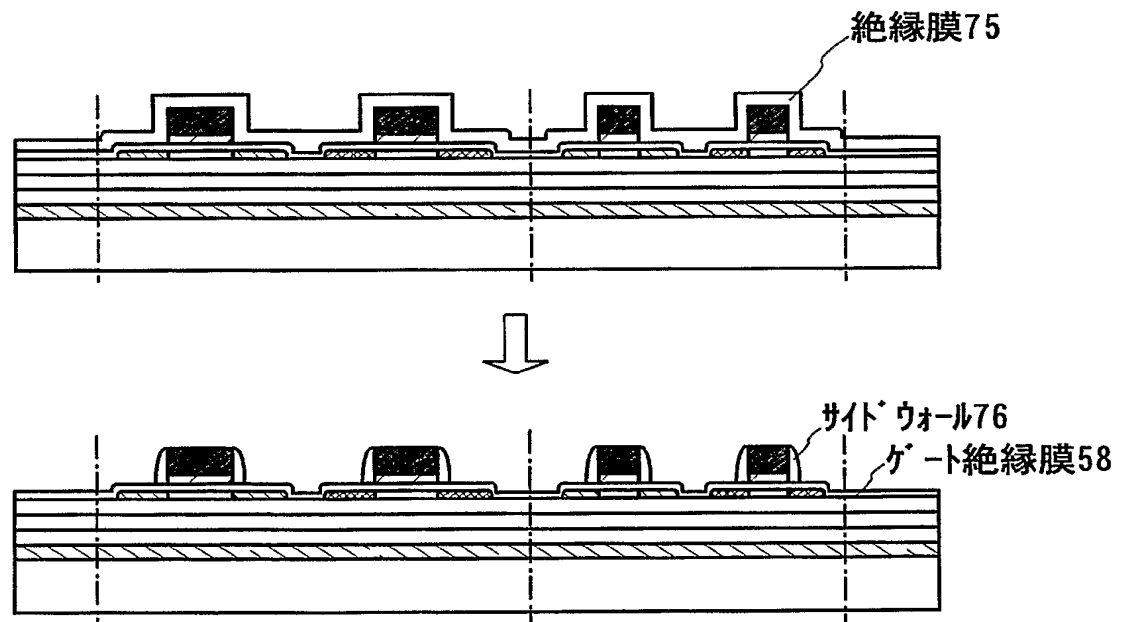


【図 24】

(A)



(B)

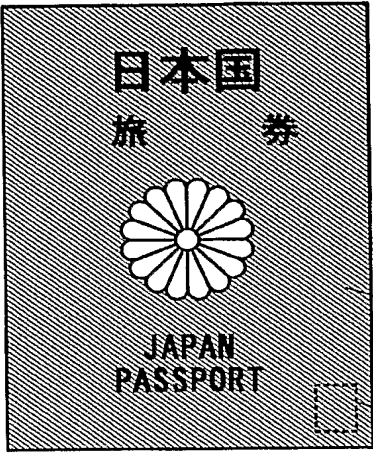


【図25】



【図 26】

(A)



パスポート 2601

IDチップ 2602

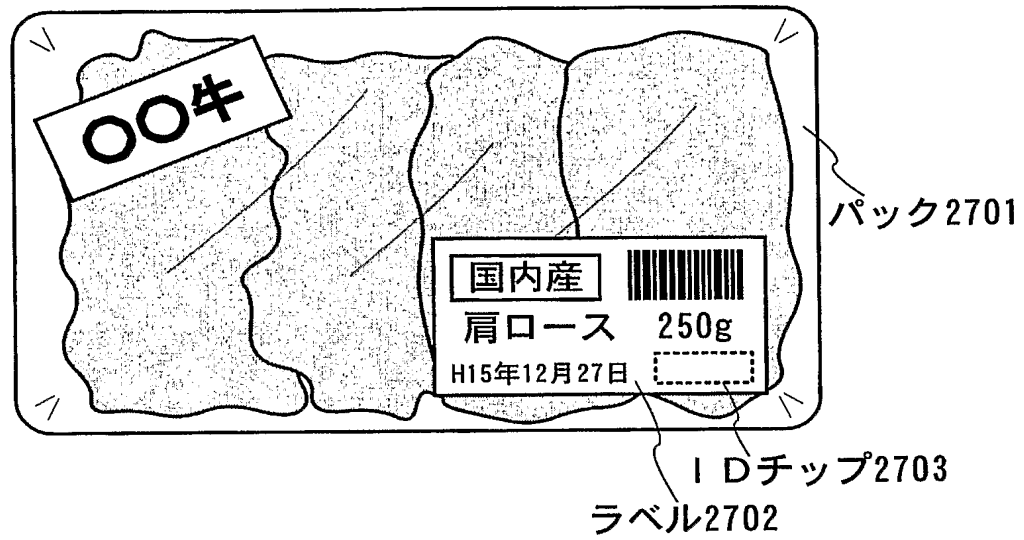
(B)

氏名	○○ ○○	平成○年○月○日生
本籍	神奈川県○○○	
住所	東京都○○○	
交付	平成○年○月○日	
平成15年の誕生日まで有効		
番号 第○○○○号		公安委員会
その他		

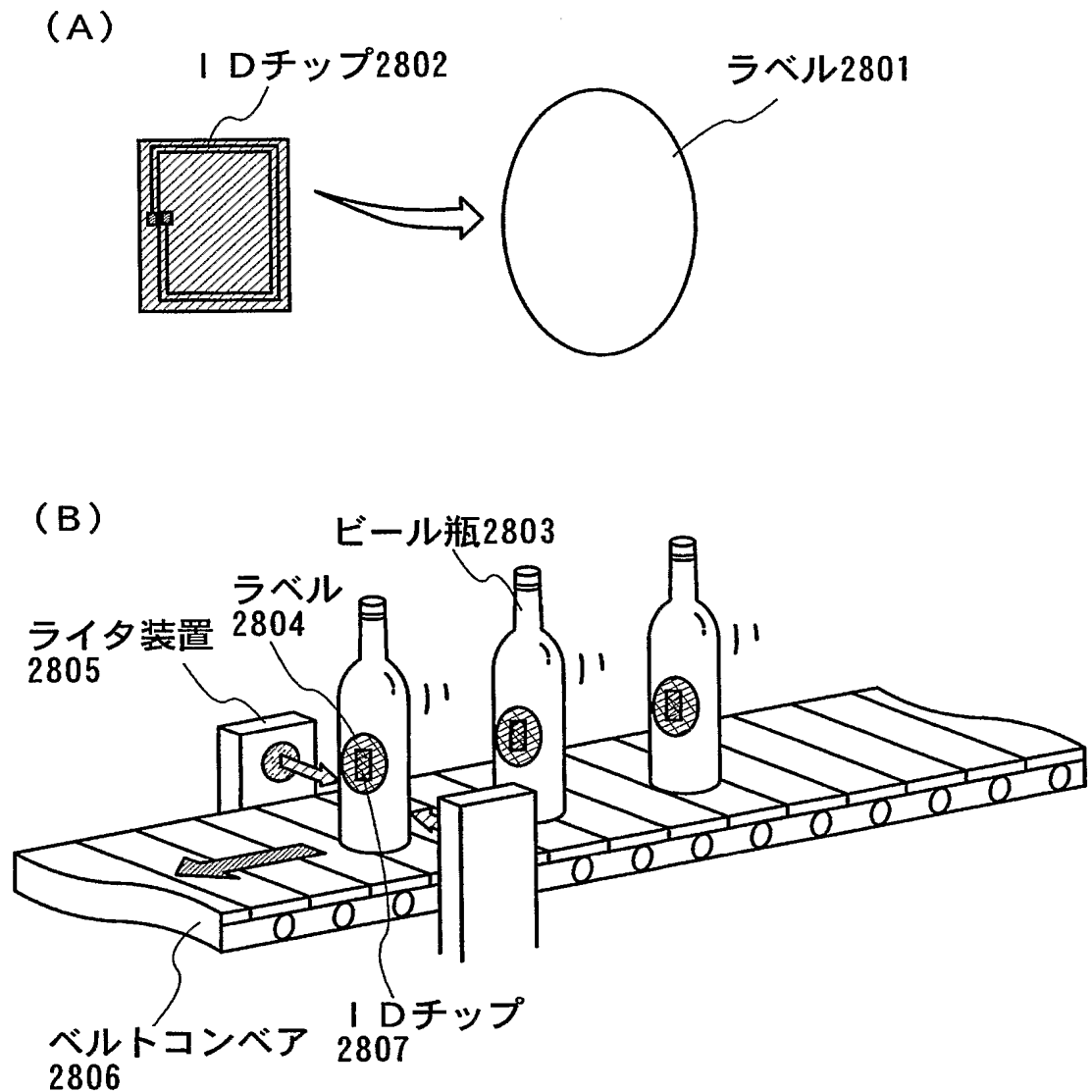
免許証 2603

IDチップ 2604

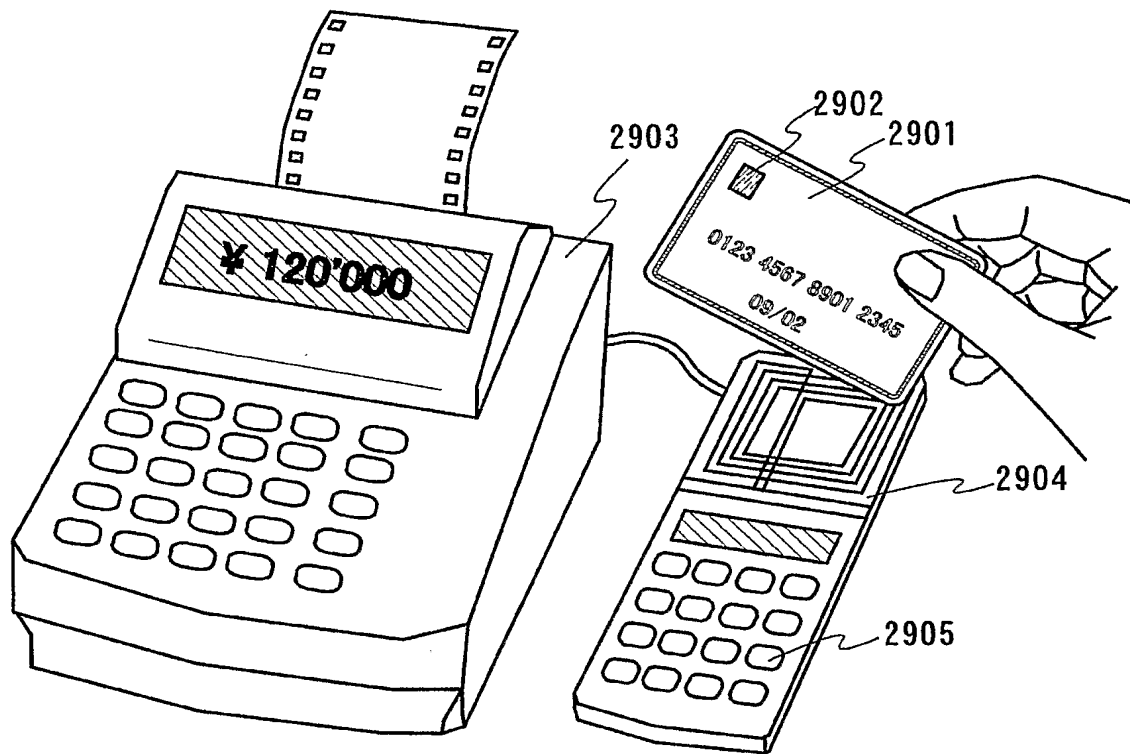
【図 27】



【図 28】



【図 29】



【書類名】要約書

【要約】

【課題】 アンテナから無線によって信号を入力する非接触型 I D チップにおいて、高いセキュリティを得るため、1 回のみ書き込みが可能な I D チップを構成する。

【解決手段】 非接触型 I D チップにおいて、チップ内部に不揮発性の F e R A M を有し、F e R A M に書き込みがおこなわれたかどうかを示すデータも、固有情報書き込み時に書き込みをおこない、そのデータがあるときには I D チップ内部の F e R A M に情報が新たに書き込めないような回路構成を有する。

【選択図】 図 1

特願 2 0 0 4 - 0 6 8 4 5 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 5 3 8 7 8]

1. 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷 3 9 8 番地

氏 名

株式会社半導体エネルギー研究所